

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-126470

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

G11C 11/401  
 G11C 11/409  
 G11C 29/00  
 H01L 27/108  
 H01L 21/8242

(21)Application number : 11-303930

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.10.1999

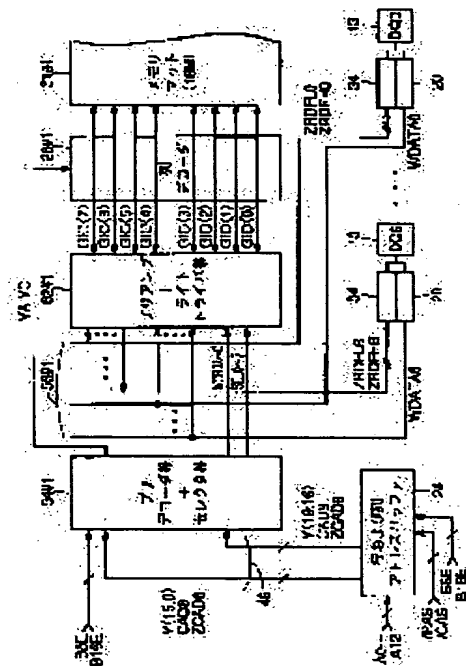
(72)Inventor : MARUYAMA YUKIKO  
 TSUKIKAWA YASUHIKO  
 ASAKURA MIKIO  
 ITO TAKASHI

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory having a simple data bus structure whose circuit scale can be reduced and whose output data width can be switched.

SOLUTION: A pre-decoder band + selector band 54#1 outputs selection signals SEL0-SEL7 and WORDA-WORDC to a pre-amplifier + write driver band 62#1 according to an output data width switching mode signal. The pre-amplifier + write driver band 62#1 can switch a connection relation between global IO lines GIO<0>-GIO<7> and a data bus 56#1 according to the selection. The read data are outputted to a pad 13 without any interposed selector circuit or the like in the middle on a data bus. Thus, it is not necessary to adjust any critical delay time due to mode switching or address change, and it is possible to realize a simple constitution.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]  
[Number of appeal against examiner's  
decision of rejection]  
[Date of requesting appeal against  
examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-126470

(P2001-126470A)

(43)公開日 平成13年5月11日(2001.5.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
G 1 1 C 11/401		G 1 1 C 29/00	6 7 1 R 5 B 0 2 4
11/409		11/34	3 6 2 D 5 F 0 8 3
29/00	6 7 1		3 5 4 R 5 L 1 0 6
H 0 1 L 27/108			3 6 2 H
21/8242			3 7 1 K

審査請求 未請求 請求項の数10 O L (全 28 頁) 最終頁に続く

(21)出願番号 特願平11-303930

(22)出願日 平成11年10月26日(1999. 10. 26)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 丸山 由紀子

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 月川 靖彦

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74)代理人 100064746

弁理士 深見 久郎 (外4名)

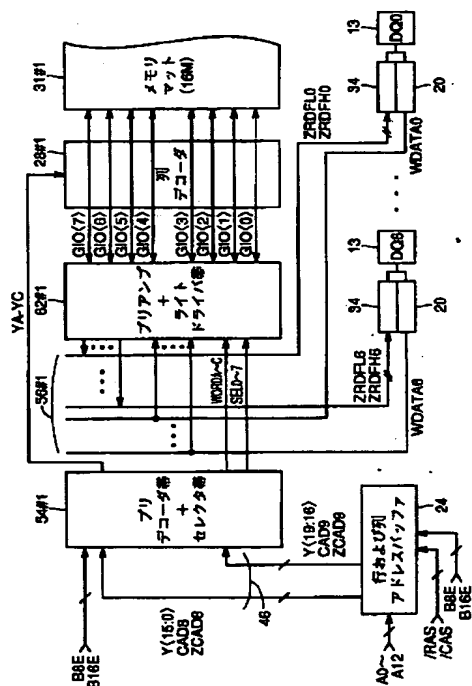
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 簡単なデータバス構造を有しかつ回路規模を削減した出力データ幅を切換えることが可能な半導体記憶装置を提供する。

【解決手段】 出力データ幅の切換モード信号に応じてプリデコーダ帯+セクタ帯54#1はプリアンプ+ライトドライバ帯62#1に選択信号SELO~SEL7, WORDA~WORDCを出力する。これらの選択信号に応じてプリアンプ+ライトドライバ帯62#1はグローバルIO線GIO<0>~GIO<7>とデータバス56#1との間の接続関係を切換えることができる。読出されるデータは、データバス上で途中セクタ回路等を介することなくパッド13に出力されるので、モード切換やアドレスの変化によるクリティカルな遅延時間の合わせ込みをする必要がなくかつ簡素な構成にすることができる。



## 【特許請求の範囲】

【請求項1】 外部に対してデータを入出力する端子数をモード切換信号で切換え可能な半導体記憶装置であって、

長方形の形状を有するメモリ領域に2行2列に配置され、各々が長方形の形状を有する第1～第4のメモリマットを備え、

各前記メモリマットは、

行列状に配置される複数のメモリセルと、

前記複数のメモリセルの列に対応して設けられる複数のビット線対と、

前記複数のビット線対とデータを授受する複数のグローバルI/O線対とを含み、

前記第1～第4のメモリマットにそれぞれ対応して設けられ、少なくとも一部が前記第1～第4のメモリマットの短辺に平行に配置される第1～第4のデータバスと、前記第1～第4のメモリマットの短辺にそれぞれ沿って設けられ、前記複数のグローバルI/O線対と前記データバスとの間でデータ授受を行う第1～第4の入出力回路帯とをさらに備え、

各前記入出力回路帯は、

前記モード切換信号に応じて、前記データバスに含まれる複数のデータ線のうちから前記複数のグローバルI/O線対にそれぞれ対応するデータ線を選択する選択回路を含む、半導体記憶装置。

【請求項2】 前記第1のメモリマットは、前記メモリ領域の第1行第2列の位置に配置され、

前記第2のメモリマットは、前記第1のメモリマットと短辺同士が対向するように前記メモリ領域の第1行第1列の位置に配置され、

前記第3のメモリマットは、前記メモリ領域の第2行第1列の位置に配置され、

前記第4のメモリマットは、前記第3のメモリマットと短辺同士が対向するように前記メモリ領域の第2行第2列の位置に配置され、

前記第1、第2のデータバスは少なくとも一部が前記第1、第2のメモリマットの間の領域に配置され、

前記第3、第4のデータバスは少なくとも一部が前記第3、第4のメモリマットの間の領域に配置され、

前記メモリ領域の第1行に配置されるメモリマットと第2行に配置されるメモリマットとの間の領域に設けられ、前記第1～第4のデータバスとデータを授受する複数のデータ入出力パッドをさらに備える、請求項1に記載の半導体記憶装置。

【請求項3】 前記メモリ領域の中央部に配置され、外部からアドレス信号を取込み前記第1～第4のメモリマットに向けて列選択信号を出力するアドレスバッファ回路と、

前記第1、第2のメモリマットの間の領域に設けられ、少なくとも一部が前記第1、第2のデータバスの間に設

けられ、前記アドレスバッファの出力を前記第1、第2のメモリマットに伝達する第1のアドレスバスをさらに備える、請求項2に記載の半導体記憶装置。

【請求項4】 前記アドレスバッファは、

前記モード信号に応じて前記アドレス信号を変換して前記列選択信号を出力するアドレス変換回路を含む、請求項3に記載の半導体記憶装置。

【請求項5】 前記第1、第2のメモリマットは、入出力されるデータの下位ビットに対応する前記複数のデータ入出力パッドとデータを授受し、

前記第3、第4のメモリマットは、入出力されるデータの上位ビットに対応する前記複数のデータ入出力パッドとデータを授受し、

前記第1、第2のメモリマットの間の領域に設けられ、前記下位ビットのデータの授受の制御を行なう第1の制御バスと、

前記第3、第4のメモリマットの間の領域に設けられ、前記上位ビットのデータの授受の制御を行なう第2の制御バスとをさらに備える、請求項2に記載の半導体記憶装置。

【請求項6】 第1の入出力回路帯は、

前記複数のグローバルI/O線対にそれぞれ対応して設けられ、前記第1のデータバスに含まれる複数の書込データ線からデータを受けて、前記モード切換信号に応じていずれか一つのデータを出力する複数の選択回路と、前記列選択信号に応じて活性化され、前記選択回路の出力を受けて、前記グローバルI/O線対にそれぞれ出力する複数のライトドライブ回路とを含む、請求項1に記載の半導体記憶装置。

【請求項7】 第1の入出力回路帯は、

前記列選択信号に応じて活性化され、前記複数のグローバルI/O線対から読出されたデータをそれぞれ増幅する複数のブリアンプ回路と、

前記第1のデータバスに含まれる複数の読出データ線対のうち前記モード切換信号に応じて、対応する読出データ線対を選択して前記複数のブリアンプの出力をそれぞれ出力する複数の選択回路とを含む、請求項1に記載の半導体記憶装置。

【請求項8】 各前記メモリマットは、

前記複数のビット線対と前記複数のグローバルI/O線対との間のデータ伝達を行なう、前記メモリマットの短辺と平行に配置される複数のローカルI/O線対と、

各前記ローカルI/O線対に対応して設けられ、前記メモリマットの第1の長辺側に設けられる第1のイコライズ回路と、

前記第1のイコライズ回路と対をなして設けられ、前記メモリマットの第2の長辺側に設けられる第2のイコライズ回路と、

前記メモリマットの第1の長辺に沿って設けられ、前記第1のイコライズ回路を制御する第1の制御線と、

前記メモリマットの第2の長辺に沿って設けられ、前記第2のイコライズ回路を制御する第2の制御線とをさらに含む、請求項1に記載の半導体記憶装置。

【請求項9】 一つのデータ入出力パッドから複数のグローバルI/O線対に同時にデータを伝達することが可能な第1、第2のマルチビットテストモードを備える半導体記憶装置であって、

行列状に配置される複数のメモリセルを含むメモリマットを備え、

前記メモリマットは、

前記メモリセルの列に対応して設けられ、互いに相補な信号を伝達する第1、第2のビット線を含む第1のビット線対と、

前記メモリセルの列に対応して設けられ、前記第2のビット線に隣接する第3のビット線と前記第3のビット線と相補な信号を伝達する第4のビット線とを含む第2のビット線対と、

前記第1のビット線対にデータを伝達する第1のグローバルI/O線対と、

前記第2のビット線対にデータを伝達する第2のグローバルI/O線対とを含み、

前記メモリマットにデータを入出力する入出力回路帯をさらに備え、

前記入出力回路帯は、

前記データ入出力パッドに与えられたデータを前記第1、第2のマルチビットテストモード時に前記第1のグローバルI/O線対に伝達する第1の伝達回路と、

前記データ入出力パッドに与えられたデータを前記第2のグローバルI/O線対に、前記第1のマルチビットテストモード時には正極性で伝達し、前記第2のマルチビットテストモード時には逆極性で伝達する第2の伝達回路とを含む、半導体記憶装置。

【請求項10】 前記入出力回路帯は、

前記第1のグローバルI/O線対に読出された第1のデータを前記第1、第2のマルチビットテストモード時に出力する第1の出力回路と、

前記第2のグローバルI/O線対に読出された第2のデータを前記第1のマルチビットテストモード時に正極性で出力し、前記第2のマルチビットテストモード時には逆極性で出力する第2の出力回路とを含み、

前記第1の出力回路の出力と前記第2の出力回路の出力とを受けて縮退して前記データ入出力パッドに伝達する出力データバスをさらに備える、請求項9に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、より特定的には、半導体記憶装置内部でデータの伝達に用いられるデータバスに関する。

【0002】

【従来の技術】ダイナミックランダムアクセスメモリ（以下DRAMという）には、データを高速に連続して読出すことができるEDO（Extended Data Out）と呼ばれる種類がある。

【0003】EDO DRAMでは、通常のDRAMよりもデータの読み出しを高速に行なうことができる。

【0004】通常のDRAMでは、メモリーからデータを読み出すときに、行アドレスと列アドレスを指定してデータを読み出した後、次のアドレスに移る際にいったん列アドレスを無効にする。

【0005】EDO DRAMでは、列アドレスをDRAM側で保持してくれるため、メモリー・コントローラは列アドレスを指定したら、すぐに列アドレスを無効にすることができる。データを読み出すまで列アドレスを保持しなくてもいい分だけシステムは高速になる。

【0006】図28は、従来の、EDO DRAMのデータバスの構成を示す図である。図28を参照して、このEDO DRAMは、2行2列に配列された各々が長方形の形状を有するメモリマット504#1～504#4を有している。

【0007】各々のメモリマットからは、32対のグローバルI/O線対I/O0～I/O31が出力されており、これらはメモリマットとメモリマットの間の領域であり、チップの短辺方向に沿って設けられた中央部の領域に配置されるデータバスに接続される。

【0008】メモリマットの短辺に沿ってメモリマットごとに4組のデータバスが設けられており、このデータバスはチップの中央部にも受けられるセクタ502#1～502#4に入力されている。

【0009】セクタ502#1～502#4の出力はメモリマットとメモリマットの間の領域でチップの長辺方向に沿う領域に設けられているデータバスdrv0～drv15に接続される。データバスdrv0～drv15はメモリマット504#3とメモリマット504#4の間の領域に設けられるパッドに接続されている。

【0010】図29は、図28に示したデータバスdrv0～drv15とデータ入出力端子DQ0～DQ15との対応関係を示す図である。

【0011】図28、図29を参照して、この従来のEDO DRAMは、モード選択信号を制御することにより、外部に向けて出力するデータのバス幅を4ビット、8ビット、16ビットに切換えることができる。

【0012】セクタ502#1～502#4には、ビット幅切換用のモード信号とアドレス信号の一部が入力されており、これらの制御信号に応じて各々のメモリマットに対応して設けられている4組ずつのデータバスのうちから必要なデータを選択する動作が行なわれる。

【0013】また、半導体記憶装置は、テスト装置を用いて検査が行なわれその後最終製品となるが、検査時においてデータの入出力をする端子を減らしチャネル数の

少ないテストで複数の半導体記憶装置を同時に検査することができるように、マルチI/Oテストを実行している。

【0014】このマルチI/Oテストを実行する際にも、セクタ502#1～502#4に制御信号が送られ、4つのデータ端子DQ0～DQ3からすべてのメモリマットの短辺方向に沿って設けられているデータバスに同時にデータを与えることができるようになっている。

【0015】この場合には、データ端子DQ0からはメモリマット504#1の横に設けられているデータバス0、4、2、6にデータが同時に与えられ、データ端子DQ3からは、メモリマット504#4の横に設けられているデータバス9、11、13、15にデータが与えられる。

【0016】さらに、データ端子DQ1からはメモリマット504#2の横に設けられているデータバス1、3、5、7に同時にデータが与えられ、データ端子DQ2からはメモリマット504#3の横に設けられているデータバス8、10、12、14にデータが与えられる。

【0017】図30は、従来のEDO DRAMにおける1マットあたりのデータバスの配置を説明するための概略図である。

【0018】図30を参照して、チップの長辺方向に沿う中央領域にはデータ入出力端子513が設けられており、チップのちょうど中央部分には行および列アドレスバッファ524が設けられている。

【0019】外部から与えられるアドレス信号A0～A12は、行および列アドレスバッファ524に与えられ、制御信号/CASに応じてアドレスを取込み一部デコードを行ない、信号Y<15:0>、CAD8をプリデコード帯554#3に出力する。

【0020】データ端子513に外部から与えられるデータは入力バッファ520を経由した後セクタ502#3に達する。セクタ502#3には、データのビット幅を切換えるモード信号B8E、B16Eが与えられており、プリデコード帯554#3とプリアンプ+ライトドライバ帯562#3の間に位置する書込データバスにデータが出力される。

【0021】書込データバスに出力されたデータはプリアンプ+ライトドライバ帯562#3に含まれているライトドライバに到達し、ライトドライバはグローバルI/O線I/O0～I/O31に対してデータを出力する。

【0022】プリデコード帯554#3からはプリデコード後のアドレス信号YA～YCが列デコード528#8に向けて出力される。列デコード528#3は応じて16メガビットのメモリマット504#3の該当する列を選択し、そこにデータが書込まれる。

【0023】データの読出時には、列デコード528#3によって選択された列からグローバルI/O線対I/O0～I/O31に読出されたデータがプリアンプ+ライトドライバ帯562#3に含まれるプリアンプに到達し、プリアンプはプリデコード帯554#3とプリアンプ+ライトドライバ帯562#3の間に設けられる読出データバスにデータを出力する。

【0024】読出データバスに読出されたデータは、セクタ502#3に入力され、セクタ502#3はモード選択信号B8E、B16Eに応じてデータの選択を行ない出力する。

【0025】セクタ502#3から出力されたデータは、データ出力バッファ534を経由してパッド513に到達する。そしてパッド513から外部に向けてデータが読出される。

【0026】

【発明が解決しようとする課題】従来のデータバスの構成では、プリアンプの出力がセクタ502#3を介してパッド513に到達する。つまり、バスの乗換えが行なわれている。

【0027】このセクタ502#3の内部では、選択モードによってデータの通過する経路が異なるので、タイミングのクリティカルな合わせ込みが必要となっている。このタイミングの合わせ込みが難しいという問題点があった。

【0028】図31は、従来のEDO DRAMにおけるマルチビットテストの説明をするための図である。

【0029】図31を参照して、従来では、1マットの短辺方向に沿って設けられるローカルI/O線対は4分割されていた。そして、マルチビットテストには2つのモードを採用していた。

【0030】第1のモードでは、1マットあたりワード線WLが1本活性化され、コラム選択線CSLが4本活性化される。1本のコラム選択線あたり、4ビットのデータが出力されるので、1マットからは16ビットが出力される。この16ビットのデータが1対の読出データ線対上でワイヤードORにより縮退される。全部で4マットあるので $16 \times 4 = 64$ ビットの縮退が行なわれる。

【0031】第2のモードでは、1マットあたりワード線WLが2本活性化され、コラム選択線CSLが4本活性化される。これにより、1本のコラム選択線あたり、8ビットのデータが出力されるので、1マットからは32ビットが出力される。この32ビットのデータが1対の読出データ線対上でワイヤードORにより縮退される。全部で4マットあるので $32 \times 4 = 128$ ビットの縮退が行なわれる。

【0032】したがってグローバルI/O線対に付随するプリアンプおよびライトドライバの数が1マットあたりそれぞれ32個必要であった。

【0033】図32は、従来のEDO DRAMにおけるローカルI/O線対のイコライズを行なうイコライズ回路LEQおよびイコライズ回路LEQを活性化するイコライズ信号の配置を説明するための図である。

【0034】図32を参照して、ローカルI/O線対はメモリマツト504#3の短辺方向に4分割されており、かつ、イコライズ回路LEQは、チップの短辺方向における異なるばらばらな配置を有していたため、イコライズ回路LEQを活性化させる制御信号LIOEQ<0>~LIOEQ<16>を伝達する多数の制御信号線が必要である。これにより、グローバルI/O線対の配置の自由度が少ないという問題点もあった。

【0035】この発明の目的は、複雑なタイミングの合わせ込みが不要なシンプルなデータバスを有し、付随する回路規模が少なくできる半導体記憶装置を提供することである。

【0036】

【課題を解決するための手段】請求項1に記載の半導体記憶装置は、外部に対してデータを入出力する端子数をモード切換信号で切換え可能な半導体記憶装置であって、長方形の形状を有するメモリ領域に2行2列に配置され、各々が長方形の形状を有する第1~第4のメモリマツトを備え、各メモリマツトは、行列状に配置される複数のメモリセルと、複数のメモリセルの列に対応して設けられる複数のビット線対と、複数のビット線対とデータを授受する複数のグローバルI/O線対とを含み、第1~第4のメモリマツトにそれぞれ対応して設けられ、少なくとも一部が第1~第4のメモリマツトの短辺に平行に配置される第1~第4のデータバスと、第1~第4のメモリマツトの短辺にそれぞれ沿って設けられ、複数のグローバルI/O線対とデータバスとの間でデータ授受を行う第1~第4の入出力回路帯とをさらに備え、各入出力回路帯は、モード切換信号に応じて、データバスに含まれる複数のデータ線のうちから複数のグローバルI/O線対にそれぞれ対応するデータ線を選択する選択回路を含む。

【0037】請求項2に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、第1のメモリマツトは、メモリ領域の第1行第2列の位置に配置され、第2のメモリマツトは、第1のメモリマツトと短辺同士が対向するようにメモリ領域の第1行第1列の位置に配置され、第3のメモリマツトは、メモリ領域の第2行第1列の位置に配置され、第4のメモリマツトは、第3のメモリマツトと短辺同士が対向するようにメモリ領域の第2行第2列の位置に配置され、第1、第2のデータバスは少なくとも一部が第1、第2のメモリマツトの間の領域に配置され、第3、第4のデータバスは少なくとも一部が第3、第4のメモリマツトの間の領域に配置され、メモリ領域の第1行に配置されるメモリマツトと第2行に配置されるメモリマツトとの間の領域に設け

られ、第1~第4のデータバスとデータを授受する複数のデータ入出力パッドとをさらに備える。

【0038】請求項3に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、メモリ領域の中央部に配置され、外部からアドレス信号を取込み第1~第4のメモリマツトに向けて列選択信号を出力するアドレスバッファ回路と、第1、第2のメモリマツトの間の領域に設けられ、少なくとも一部が第1、第2のデータバスの間に設けられ、アドレスバッファの出力を第1、第2のメモリマツトに伝達する第1のアドレスバスをさらに備える。

【0039】請求項4に記載の半導体記憶装置は、請求項3に記載の半導体記憶装置の構成に加えて、アドレスバッファは、モード信号に応じてアドレス信号を変換して列選択信号を出力するアドレス変換回路を含む。

【0040】請求項5に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置の構成に加えて、第1、第2のメモリマツトは、入出力されるデータの下位ビットに対応する複数のデータ入出力パッドとデータを授受し、第3、第4のメモリマツトは、入出力されるデータの上位ビットに対応する複数のデータ入出力パッドとデータを授受し、第1、第2のメモリマツトの間の領域に設けられ、下位ビットのデータの授受の制御を行なう第1の制御バスと、第3、第4のメモリマツトの間の領域に設けられ、上位ビットのデータの授受の制御を行なう第2の制御バスとをさらに備える。

【0041】請求項6に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、第1の入出力回路帯は、複数のグローバルI/O線対にそれぞれ対応して設けられ、第1のデータバスに含まれる複数の書込データ線からデータを受けて、モード切換信号に応じていずれか一つのデータを出力する複数の選択回路と、列選択信号に応じて活性化され、選択回路の出力を受けて、グローバルI/O線対にそれぞれ出力する複数のライトドライブ回路とを含む。

【0042】請求項7に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、第1の入出力回路帯は、列選択信号に応じて活性化され、複数のグローバルI/O線対から読出されたデータをそれぞれ増幅する複数のプリアンプ回路と、第1のデータバスに含まれる複数の読出データ線対のうちモード切換信号に応じて、対応する読出データ線対を選択して複数のプリアンプの出力をそれぞれ出力する複数の選択回路とを含む。

【0043】請求項8に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置の構成に加えて、各メモリマツトは、複数のビット線対と複数のグローバルI/O線対との間のデータ伝達を行なう、メモリマツトの短辺と平行に配置される複数のローカルI/O線対と、各ローカルI/O線対に対応して設けられ、メモリマツトの

第1の長辺側に設けられる第1のイコライズ回路と、第1のイコライズ回路と対をなして設けられ、メモリマットの第2の長辺側に設けられる第2のイコライズ回路と、メモリマットの第1の長辺に沿って設けられ、第1のイコライズ回路を制御する第1の制御線と、メモリマットの第2の長辺に沿って設けられ、第2のイコライズ回路を制御する第2の制御線とをさらに含む。

【0044】請求項9に記載の半導体記憶装置は、一つのデータ入出力パッドから複数のグローバルI/O線対に同時にデータを伝達することが可能な第1、第2のマルチビットテストモードを備える半導体記憶装置であって、行列状に配置される複数のメモリセルを含むメモリマットを備え、メモリマットは、メモリセルの列に対応して設けられ、互いに相補な信号を伝達する第1、第2のビット線を含む第1のビット線対と、メモリセルの列に対応して設けられ、第2のビット線に隣接する第3のビット線と第3のビット線と相補な信号を伝達する第4のビット線とを含む第2のビット線対と、第1のビット線対にデータを伝達する第1のグローバルI/O線対と、第2のビット線対にデータを伝達する第2のグローバルI/O線対とを含み、メモリマットにデータを出力する入出力回路帯をさらに備え、入出力回路帯は、データ入出力パッドに与えられたデータを第1、第2のマルチビットテストモード時に第1のグローバルI/O線対に伝達する第1の伝達回路と、データ入出力パッドに与えられたデータを第2のグローバルI/O線対に、第1のマルチビットテストモード時には正極性で伝達し、第2のマルチビットテストモード時には逆極性で伝達する第2の伝達回路とを含む。

【0045】請求項10に記載の半導体記憶装置は、請求項9に記載の半導体記憶装置の構成に加えて、入出力回路帯は、第1のグローバルI/O線対に読出された第1のデータを第1、第2のマルチビットテストモード時に出力する第1の出力回路と、第2のグローバルI/O線対に読出された第2のデータを第1のマルチビットテストモード時に正極性で出力し、第2のマルチビットテストモード時には逆極性で出力する第2の出力回路とを含み、第1の出力回路の出力と第2の出力回路の出力とを受けて縮退してデータ入出力パッドに伝達する出力データバスをさらに備える。

【0046】

【発明の実施の形態】以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0047】図1は、本発明の実施の形態である半導体記憶装置1の概略的な構成を示すブロック図である。

【0048】図1を参照して、半導体記憶装置1は、メモリバンクをもたないEDO DRAMである。

【0049】半導体記憶装置1は、制御信号ext./RAS、ext./CAS、ext./WEをそれぞれ

受ける制御信号入力端子2～6と、アドレス入力端子群8と、データ信号を入出力する入出力端子群13と、接地電位Vssが与えられる接地端子12と、電源電位Ext. Vccが与えられる電源端子10とを備える。

【0050】半導体記憶装置1は、さらに、クロック発生回路22と、行および列アドレスバッファ24と、行デコード26と、列デコード28と、メモリマット31と、ゲート回路18と、データ入力バッファ20およびデータ出力バッファ34とを備える。

【0051】メモリマット31は、行列状にメモリセルが配列されるメモリセルアレイ32と、メモリセルアレイに対してデータの入出力を行なうためのセンスアンプ+入出力制御回路30とを含む。

【0052】クロック発生回路22は、制御信号入力端子2、4を介して外部から与えられる外部行アドレスストロブ信号ext./RASと外部列アドレスストロブ信号ext./CASとに基づいた所定の動作モードに相当する制御クロックを発生し、半導体記憶装置全体の動作を制御する。

【0053】行および列アドレスバッファ24は、外部から与えられるアドレス信号A0～A12に基づいて生成したアドレス信号を行デコード26および列デコード28に与える。

【0054】行デコード26と列デコード28とによって指定されたメモリセルアレイ32中のメモリセルは、センスアンプ+入出力制御回路30とデータ入力バッファ20またはデータ出力バッファ34を介して入出力端子13を通じて外部とデータをやり取りする。

【0055】[データバス構造の説明]図2は、半導体記憶装置1のメモリマットおよびデータバス、アドレスバッファの配置を説明するための図である。

【0056】図2を参照して、半導体記憶装置1は、各々が長方形形状の16メガビットのメモリマット31#1～31#4を含む。メモリマット31#1～31#4は、2行2列に配置されている。チップの中央にはアドレスバッファ24および制御回路42、44が配置される。

【0057】チップの対向する長辺の midpoint同士を結ぶ線に沿って設けられる、メモリマットとメモリマットの間の中央領域には、アドレスバッファ24からメモリマット31#1、31#2にコラムアドレス系信号を伝達するためのアドレスバス46と、メモリマット31#3、31#4にコラムアドレス系信号を伝達するためのアドレスバス48とが設けられる。

【0058】このように、メモリマット31#1、31#2でアドレスバス46を共用し、メモリマット31#3、31#4でアドレスバス48を共用できるような配置を採用しているため、従来のように、メモリマットごとにアドレスバスを設ける必要がなく配線本数を減らすことができる。したがって、チップサイズを小さくする



ことができ、コストを下げるができる。

【0059】メモリマット31#1、31#2は、データ端子の上位側ビットから入力されるデータが書込まれ、データ端子の上位データに対応する制御信号が制御回路42から発生され、その制御信号をメモリマット31#1、31#2に伝達するための制御信号バス50がアドレスバス46の隣に設けられる。

【0060】メモリマット31#3、31#4は、データ端子の下位ビットからデータの書込が行なわれるメモリマットであり、メモリマット31#3、31#4に書込用制御信号とを伝達するための制御信号バス52がアドレスバス48の隣に設けられる。

【0061】このように、メモリマット31#1、31#2で制御信号バス50を共用し、メモリマット31#3、31#4でアドレスバス52を共用できるようなバス配置およびデータ端子に対するマットの割付を採用しているため、従来のように、メモリマットごとに制御信号バスを設ける必要がなく配線本数を減らすことができる。したがって、チップサイズを小さくすることができ、コストを下げるができる。

【0062】メモリマット31#1～31#4にそれぞれ対応してメモリマットの短辺に沿ってデータバス56#1～56#4が設けられる。

【0063】制御信号バス50とデータバス56#1の間にはプリデコーダ帯+セクタ帯51#1が設けられ、データバス56#2とアドレスバス46の間には、メモリマット31#2に対応して設けられるプリデコーダ帯+セクタ帯54#2が設けられる。

【0064】データバス56#3とアドレスバス48との間にはメモリマット31#3に対応して設けられるプリデコーダ帯+セクタ帯54#3が設けられる。データバス56#4と制御信号バス52との間には、メモリマット31#4に対応して設けられるプリデコーダ帯+セクタ帯54#4が設けられる。

【0065】図3は、メモリマットとデータバスとデータ入出力端子との対応関係を説明するための図である。

【0066】図3を参照して、メモリマット31#1は、この半導体記憶装置が16ビットのデータを授受する×16モードにおいて端子DQ0、DQ4、DQ2、DQ6から入力されるデータが記憶されるマットである。

【0067】メモリマット31#1とメモリマット31#4との間の領域には、端子DQ0～DQ15にそれぞれ対応して設けられるパッドPDQ0～PDQ15が設けられる。

【0068】メモリマット31#1に対応して設けられるデータバス56#1にはPDQ0に接続されるデータバスと、パッドPDQ4に接続されるデータバスと、パッドPDQ2に接続されるデータバスと、パッドPDQ6に接続されるデータバスとが含まれる。

【0069】メモリマット31#2には、×16モードにおいては、端子DQ1、DQ5、DQ3、DQ7から入力されるデータが記憶される。メモリマット31#2に対応してデータバス56#2が設けられている。

【0070】データバス56#2はパッドPDQ1に接続されるデータバスと、パッドPDQ5に接続されるデータバスと、パッドPDQ3に接続されるデータバスと、パッドPDQ7に接続されるデータバスとを含む。

【0071】メモリマット31#3は、×16モードにおいて端子DQ14、DQ10、DQ12、DQ8から入力されるデータが保存される。メモリマット31#3に対応してデータバス56#3が設けられる。

【0072】データバス56#3は、パッドPDQ8に接続されるデータバスと、パッドPDQ12に接続されるデータバスと、パッドPDQ10に接続されるデータバスと、パッドPDQ14に接続されるデータバスとを含む。

【0073】メモリマット31#4には、×16モードにおいて、端子DQ15、DQ11、DQ9から与えられるデータが保存される。メモリマット31#4に対応してデータバス56#4が設けられる。

【0074】データバス56#4は、パッドPDQ9に接続されるデータバスと、パッドPDQ13に接続されるデータバスと、パッドPDQ11に接続されるデータバスと、パッドPDQ15に接続されるデータバスとを含む。

【0075】×8モードにおいては、メモリマット31#1は、端子DQ0、DQ2から入力されるデータを記憶する。メモリマット31#2は、端子DQ1、DQ3から入力されるデータを記憶する。メモリマット31#3は、端子DQ6、DQ4から入力されるデータを記憶する。メモリマット31#4は、端子DQ7、DQ5から入力されるデータを記憶する。

【0076】×4モードにおいては、メモリマット31#1は、端子DQ0から入力されるデータを記憶する。メモリマット31#2は、端子DQ1から入力されるデータを記憶する。メモリマット31#3は、端子DQ2から入力されるデータを記憶する。メモリマット31#4は、端子DQ3から入力されるデータを記憶する。

【0077】図4は、本発明のメモリマット1つあたりのデータバスとセクタ帯の配置の詳細を示す図である。

【0078】図4を参照して、図2におけるメモリマット31#1に対応するデータバスの構造が示される。図2におけるメモリマット31#1とメモリマット31#4との間の領域に配置されるパッド13にデータが入力される。

【0079】入力されたデータは入力データバッファ20を介してデータバス56#1に含まれる下記データバスWDATA0～WDATA6に伝達される。行および

列アドレスバッファ24にはアドレス信号A0~A12、制御信号/RAS、/CASに加えて、モード選択信号B8E、B16Eが入力される。

【0080】行および列アドレスバッファ24からはアドレス信号が制御信号/RAS、/CASに応じて取込まれコラム系の一部デコードされたアドレス信号Y<15:0>、CAD8、ZCAD8、Y<19:16>、CAD9、ZCAD9が出力される。

【0081】これらのコラム系アドレス信号はモード選択信号B8E、B16Eによって設定される×4、×8、×16のモードによって一部変換が行なわれる。

【0082】行および列アドレスバッファから出力されるコラム系アドレス信号群は、図2に示すアドレスデータバス46を介してメモリマット31#1およびメモリマット31#2に共通して与えられる。そのため、データバス46の配置は、メモリマット31#1、31#2の中間付近にされている。

【0083】アドレスバッファ24とデータバス56#1の間の領域に設けられたプリデコード帯+セクタ帯54#1は、行および列アドレスバッファ24から出力されるコラム系アドレス信号をアドレスバス46を介して受取る。

【0084】プリデコード帯+セクタ帯54#1は、モード選択信号B8E、B16Eをさらに受け、プリデコード信号YA-YCとセレクト信号SEL0~SEL7、WORDA~WORDCを出力する。

【0085】メモリマット31#1に隣接して設けられる列デコード28#1はプリデコード信号YA-YCを受けてメモリマット31#1の列選択を行なう列選択信号CSLを出力する。

【0086】プリアンプ+ライトドライバ帯62#1においては、書込データ線WDATA0~WDATA6によって伝達された書込データが選択信号SEL0~SEL7、WORDA~WORDCで設定される対応関係でグローバルI/O線対GIO<0>~GIO<7>に出力される。そして、メモリマット31#1の選択された列にあるメモリセルにデータが書込まれる。

【0087】読出時には、メモリマット31#1からグローバルI/O線対GIO<0>~GIO<7>に読出されたデータは選択信号SEL0~SEL7、WORDA~WORDCで定められた対応関係でデータバス56#1に含まれる読出データ線ZRDFL0~ZRDFL6、ZRDFH0~ZRDFH6に読出される。

【0088】読出データ線ZRDFL0、ZRDFH0は、相補なデータを伝達するデータバス対をなし、これは出力データバッファ34に接続され読出されたデータは出力データバス34によって増幅されパッド13に出力される。

【0089】図5は、図4におけるメモリマット31#1のマルチビットテスト時の動作を説明するための概略

図である。

【0090】本発明の半導体記憶装置では、図31で説明した従来のマルチビットテストは採用せず、より回路削減の可能なマルチビットテストを採用している。

【0091】図5を参照して、マルチビットテスト時には1マットにつきコラム選択線CSLが1本選択され、ワード線WLが2本選択される。コラム選択線CSLとワード線WLの交点部分には選択スイッチが設けられており、付近に位置するローカルI/O線対からグローバルI/O線対に対してデータが読出される。

【0092】選択スイッチ1つあたり4対のローカルI/O線LI0<0>~LI0<3>、/LI0<0>~/LI0<3>が選択されこれらから4ビットのデータが読出され4つのグローバルI/O線対に出力される。したがって、選択スイッチが2つ同時に選択されることにより、8つのグローバルI/O線対GIOに8ビットのデータが同時に出力されてくる。

【0093】グローバルI/O線対に読出されたデータは、マルチビットテスト時には、図4に示したプリアンプ+ライトドライバ帯62#1に含まれるプリアンプによって読出データ線ZRDFL0、ZRDFH0に8ビットのデータが同時に読出されてくる。

【0094】そして、同一データが正しく書込まれていれば、読出データ線ZRDFH0、ZRDFL0のいずれか一方のみがLレベルになり、ビット線のショートなどによりデータの読出が正常に行なわれない場合には、読出データ線ZRDFH0、ZRDFL0の両方がLレベルになる。プリアンプからリードデータバスにデータが出力される際に8ビットのデータはワイヤードORされることによって縮退される。

【0095】このマルチビットテストモードでは、図31の場合と異なり、コラム選択線を1本しか選択しないので、ローカルI/O線対対を分割しなくてもよい。また、1マットあたりの出力は最大で8ビットなので、グローバルI/O線対は8本で足りる。したがって、グローバルI/O線対とデータを授受するためのライトドライバWD、プリアンプPAも1マットにつき8個ずつでよいので回路を削減することができる。

【0096】図6は、図4に示した行および列アドレスバッファ24に含まれる列アドレス系の信号発生部70の構成を示すブロック図である。

【0097】図6を参照して、信号発生部70は、アドレス信号A0~A8を制御信号/CASに応じて取込み、コラムアドレス信号CA0~CA8、ZCA0~ZCA8を出力するラッチ回路72と、コラムアドレス信号CA0、CA1を受けてデコードし信号Y<3:0>を出力するデコード回路82と、コラムアドレス信号CA2、CA3を受けてデコードし信号Y<7:4>を出力するデコード回路80と、コラムアドレス信号CA4、CA5を受けてデコードし信号Y<11:8>を出

力するデコード回路78と、コラムアドレス信号CA6、CA7を受けてデコードし信号Y<15:12>を出力するデコード回路76と、コラムアドレス信号CA8、ZCA8を受けて増幅し信号CA8D、ZCA8Dを出力するバッファ回路74とを含む。

【0098】信号発生部70は、さらに、アドレス信号A9、A10、A11をモード設定信号B8E、B16Eの設定に応じて制御信号/RAS、/CASに応じて取込むアドレス変換回路84と、アドレス変換回路84が出力するコラムアドレス信号CA9、ZCA9を増幅し信号CA9D、ZCA9Dを出力するバッファ回路88と、アドレス変換回路84が出力するコラムアドレス信号CA10、CA11を受けてデコードし信号Y<19:16>を出力するデコード回路86とを含む。

【0099】図7は、図6におけるアドレス変換回路84のアドレス変換の対応を示す図である。

【0100】図6、図7を参照して、アドレス変換回路84は、モード選択信号B8E、B16EおよびZMBTORに応じて×4モード、×8モード、×16モードおよびマルチビットテストモードを認識しこれに応じて内部コラムアドレス信号CA9～CA11、ZCA9～ZCA11を出力する。

【0101】×4モードにおいては、内部コラムアドレスCA9、ZCA9は、制御信号/RASに応じて取込まれたアドレス信号RA9、/RA9になる。内部コラムアドレス信号CA10、ZCA10は、制御信号/CASに応じて取込まれたアドレス信号A10、/A10になる。内部コラムアドレス信号CA11、ZCA11は、制御信号/CASに応じて取込まれたアドレス信号A11、/A11になる。

【0102】×8モードにおいては、内部コラムアドレスCA9、ZCA9は、×4モードと同様にそれぞれ信号A9、/A9になる。内部コラムアドレス信号CA10、ZCA10は、×4モードと同様にアドレス信号A10、/A10になる。内部コラムアドレスCA11、ZCA11は、×4モードと異なりともにHレベルに固定される。

【0103】×16モードにおいては、内部コラムアドレスCA9、ZCA9は、×4、×8モードと同様A9、/A9になる。内部コラムアドレス信号CA10、CA11、ZCA10、ZCA11は、すべてHレベルに固定される。

【0104】マルチビットテストモードにおいては、内部コラムアドレスCA9、ZCA9、CA10、ZCA10、CA11、ZCA11は、すべてHレベルに固定される。

【0105】図8は、図6におけるデコード回路86の構成を示す回路図である。図6、図8を参照して、アドレス回路84は、コラムアドレス信号CA10、CA11と相補な内部コラムアドレス信号として、図示されて

いないコラムアドレス信号ZCA10、ZCA11も出力している。

【0106】デコード回路86は、内部コラムアドレス信号ZCA10、ZCA11を受けて信号Y<16>を出力するAND回路92と、内部コラムアドレス信号CA10、ZCA11を受けて信号Y<17>を出力するAND回路94と、内部コラムアドレス信号ZCA10、CA11を受けて信号Y<18>を出力するAND回路96と、内部コラムアドレス信号CA10、CA11を受けて信号Y<19>を出力するAND回路98とを含む。

【0107】図9は、図4におけるプリデコーダ帯+セクタ帯54#1の配置を示すブロック図である。

【0108】図4、図9を参照して、プリデコーダ帯+セクタ帯54#1は、モード選択信号B8E、B16Eおよび信号Y<19:16>、CA9D、ZCA9Dを受けるセクタ104と、行および列アドレスバッファ24から信号Y<15:0>、CA8D、ZCA8Dを受けるプリデコーダ106、110、112、116およびスベアコラムセクタ108、114と、プリデコーダ帯+セクタ帯54#1の両端に位置しローカルI/O線対のイコライズ信号LIOEQ<0>、LIOEQ<1>を出力するイコライズ回路120、102とを含む。

【0109】セクタ104はセレクト信号SEL4～SEL7、WORDA～WORDCを出力する。セクタ104は2分割され、イコライズ回路120の隣に設けられている部分からはセレクト信号SEL0～SEL3およびWORDA～WORDCが出力される。イコライズ回路102の隣に設けられている部分からはセレクト信号SEL4～SEL7およびWORDA～WORDCが出力される。

【0110】プリデコーダ106、110、112、116は、与えられるコラムアドレス系信号をプリデコードし信号YA～YCを出力する。スベアコラムセクタ108、114は、メモリマット中に欠陥メモリセルを含む列が存在する場合に列置換を行なう制御信号をSCS<2、3>、SCS<0、1>を出力する。

【0111】図10は、図9におけるセクタ104の構成を示す回路図である。図10を参照して、セクタ104は、モード選択信号B8、B16、ZMBTORから選択信号WORDA～WORDC、ZWORDA～ZWORDCを出力する信号発生回路122と、信号Y<19:16>から選択信号SEL0～SEL7を出力する信号発生回路124とを含む。

【0112】信号発生回路122は、モード選択信号B16とマルチビットテスト時以外はHレベルとなるモード選択信号ZMBTORとを受け、選択信号ZWORDAを出力するNAND回路126と、選択信号ZWORDAを受けて反転し選択信号WORDAを出力するイン

パート128と、モード選択信号B8、ZMBTORWを受けて選択信号ZWORDBを出力するNAND回路130と、選択信号ZWORDBを受けて反転し選択信号WORDBを出力するインバータ132と、モード選択信号B8、B16、ZMBTORを受けて選択信号WORDCを出力するゲート回路134と、選択信号WORDCを受けて反転し選択信号ZWORDCを出力するインバータ136とを含む。

【0113】信号発生回路124は、信号ZCAD9、Y<16>を受けて選択信号SEL0を出力するAND回路138と、信号ZCAD9、Y<19>を受けて選択信号SEL6を出力するAND回路140と、信号ZCAD9、Y<17>を受けて選択信号SEL4を出力するAND回路142と、信号ZCAD9、Y<18>を受けて選択信号SEL2を出力するAND回路146とを含む。

【0114】信号発生回路124は、さらに、信号ZCAD9、Y<18>を受けて選択信号SEL5を出力するAND回路148と、信号ZCAD9、Y<17>を受けて選択信号SEL3を出力するAND回路150と、信号ZCAD9、Y<19>を受けて選択信号SEL1を出力するAND回路142と、信号ZCAD9、Y<16>を受けて選択信号SEL7を出力するAND回路154とを含む。

【0115】図11は、図10における信号発生回路122の動作を説明するための図である。

【0116】図11を参照して、まずモード選択信号と選択されるモードとの間の関係を説明する。モード選択信号B16がHレベル、モード選択信号B8がLレベルで、モード選択信号ZMBTORがHレベルのときは、×16モードになる。

【0117】モード選択信号B16がLレベルで、モード選択信号B8がHレベルで、モード選択信号ZMBTORがHレベルのときは、×8モードになる。

【0118】モード選択信号B16、B8がともにLレベルで、モード選択信号ZMBTORがHレベルのときは、×4モードになる。

【0119】マルチビットテストを行なう場合には、モード選択信号ZMBTORがLレベルにされ、このときモード選択信号B16、B8の値にかかわらずマルチビットテストを行なうことになる。

【0120】続いて、選択信号WORDA～WORDCと各モードとの関係について説明する。×16モードにおいては、選択信号WORDAがHレベルに設定され、選択信号WORDB、WORDCはともにLレベルにされる。

【0121】×8モードにおいては、選択信号WORDBがHレベルに設定され、選択信号WORDA、WORDCはともにLレベルに設定される。×4モードにおいては、選択信号WORDCがHレベルに設定され、選択

信号WORDA、WORDBはともにLレベルに設定される。

【0122】マルチビットテストが行なわれる場合には、×4モードと同様な設定が行なわれる。すなわち、選択信号WORDCがHレベルに設定され、選択信号WORDA、WORDBはともにLレベルに設定される。

【0123】図12は、図4におけるプリアンプ+ライトドライバ帯62#1の構成を示すブロック図である。

【0124】図12を参照して、プリアンプ+ライトドライバ帯62#1は、選択信号SEL0～SEL7、WORDA～WORDCの設定に応じてデータバス56#1とグローバルI/O線対GIO<0>～GIO<7>との対応関係を変更する。

【0125】データバス56#1は、書込データ線WDATA0、WDATA4、EDATA2、WDATA6と、読出データ線ZRDFL0、ZRDFH0、ZRDFL4、ZRDFH4、ZRDFL2、ZRDFH2、ZRDFL6、ZRDFH6とを含んでいる。

【0126】プリアンプ+ライトドライバ帯62#1は、グローバルI/O線対GIO<0>に対応して設けられるブロック162と、グローバルI/O線対GIO<1>に対応して設けられるブロック164と、グローバルI/O線対GIO<2>に対応して設けられるブロック166と、グローバルI/O線対GIO<3>に対応して設けられるブロック168とを含む。

【0127】プリアンプ+ライトドライバ帯62#1は、さらに、グローバルI/O線対GIO<4>に対応して設けられるブロック170と、グローバルI/O線対GIO<5>に対応して設けられるブロック172と、グローバルI/O線対GIO<6>に対応して設けられるブロック174と、グローバルI/O線対GIO<7>に対応して設けられるブロック176とを含む。

【0128】ブロック162は、書込データ線WDATA0から書込データを受けるライトバッファセクタWBSEL2と、ライトバッファセクタWBSEL2の出力を受けてグローバルI/O線対GIO<0>を駆動するライトドライバWDと、グローバルI/O線対GIO<0>に読出されたデータを増幅するプリアンプPAと、プリアンプPAの出力をリードデータバスZRDFL0、ZRDFH0に対して出力するリードバスドライバBDRV2とを含む。ブロック162に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL0に応じて活性化される。

【0129】ブロック164は、選択信号WORDA、WORDB、WORDCにそれぞれ応じて書込データ線WDATA6、WDATA2、WDATA0に伝達されたデータを取込む3つのライトバスセクタWBSEL1と、これら3つのライトバスセクタWBSEL1の出力を受けてグローバルI/O線対GIO<1>に書込データを出力するライトドライバWDと、グローバルI

／O線対G I O<1>に読出されたデータを増幅するプリアンプPAと、プリアンプPAの出力を選択信号WORDAに応じてリードデータバスZRDFL6、ZRDFH6に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号WORDBに応じてリードデータバスZRDFL2、ZRDFH2に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号WORDCに応じてリードデータバスZRDFL0、ZRDFH0に出力するリードバスドライバRBDRV1を含む。ブロック164に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL1に応じて活性化される。

【0130】ブロック166は、書込データ線WDATA2、WDATA0に伝達されてきたデータを選択信号ZWORDC、WORDCに応じて取込む2つのライトバスセクタWDSEL1と、これら2つのライトバスセクタの出力を受けてグローバルI／O線対G I O<2>に書込データを出力するライトドライバWDと、グローバルI／O線対G I O<2>に読出されるデータを受けて増幅するプリアンプPAと、プリアンプPAの出力を選択信号WORDCに応じて読出データ線ZRDFL0、ZRDFH0に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号ZWORDCに応じて読出データ線ZRDFL2、ZRDFH2に出力するリードバスドライバRBDRV1を含む。ブロック166に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL2に応じて活性化される。

【0131】ブロック168は、書込データ線WDATA4、WDATA0に伝達されてきた書込データをそれぞれ選択信号WORDA、ZWORDAに応じて取込むライトバスセクタWBSEL1、WBSEL2と、ライトバスセクタWBSEL1、WBSEL2の出力を受けてグローバルI／O線対G I O<3>に書込データを出力するライトドライバWDと、グローバルI／O線対G I O<3>に読出されたデータを増幅するプリアンプPAと、プリアンプPAの出力を選択信号WORDA、に応じて読出データ線ZRDFL4、ZRDFH4に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号ZWORDAに応じて読出データ線ZRDFL0、ZRDFH0に出力するリードバスドライバRBDRV2を含む。ブロック168に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL3に応じて活性化される。

【0132】ブロック170は、書込データ線WDATA4、WDATA0に伝達されてきた書込データをそれぞれ選択信号WORDA、ZWORDAに応じて取込むライトバスセクタWBSEL1、WBSEL2と、ライトバスセクタWBSEL1、WBSEL2の出力を受けてグローバルI／O線対G I O<4>に書込データ

を出力するライトドライバWDと、グローバルI／O線対G I O<4>に読出されたデータを増幅するプリアンプPAと、プリアンプPAの出力を選択信号WORDA、に応じて読出データ線ZRDFL4、ZRDFH4に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号ZWORDAに応じて読出データ線ZRDFL0、ZRDFH0に出力するリードバスドライバRBDRV2を含む。ブロック170に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL4に応じて活性化される。

【0133】ブロック172は、書込データ線WDATA2、WDATA0に伝達されてきたデータを選択信号ZWORDC、WORDCに応じてそれぞれ取込む2つのライトバスセクタWDSEL1と、これら2つのライトバスセクタの出力を受けてグローバルI／O線対G I O<5>に書込データを出力するライトドライバWDと、グローバルI／O線対G I O<5>に読出されるデータを受けて増幅するプリアンプPAと、プリアンプPAの出力を選択信号WORDCに応じて読出データ線ZRDFL0、ZRDFH0に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号ZWORDCに応じて読出データ線ZRDFL2、ZRDFH2に出力するリードバスドライバRBDRV1を含む。ブロック172に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL5に応じて活性化される。

【0134】ブロック174は、選択信号WORDA、WORDB、WORDCにそれぞれ応じて書込データ線WDATA6、WDATA2、WDATA0に伝達されたデータを取込む3つのライトバスセクタWBSEL1と、これら3つのライトバスセクタWBSEL1の出力を受けてグローバルI／O線対G I O<6>に書込データを出力するライトドライバWDと、グローバルI／O線対G I O<6>に読出されたデータを増幅するプリアンプPAと、プリアンプPAの出力を選択信号WORDAに応じてリードデータバスZRDFL6、ZRDFH6に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号WORDBに応じてリードデータバスZRDFL2、ZRDFH2に出力するリードバスドライバRBDRV1と、プリアンプPAの出力を選択信号WORDCに応じてリードデータバスZRDFL0、ZRDFH0に出力するリードバスドライバRBDRV1を含む。ブロック174に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL6に応じて活性化される。

【0135】ブロック176は、書込データ線WDATA0から書込データを受けるライトバッファセクタWBSEL2と、ライトバッファセクタWBSEL2の出力を受けてグローバルI／O線対G I O<7>を駆動するライトドライバWDと、グローバルI／O線対G I

0<7>に読出されたデータを増幅するプリアンプPAと、プリアンプPAの出力をリードデータバスZRDFL0、ZRDFH0に対して出力するリードバスドライバRBDRV2を含む。ブロック176に含まれるプリアンプPAおよびライトドライバWDは、選択信号SEL7に応じて活性化される。

【0136】[データ書込の流れ]図13は、ライトデータバスからグローバルI/O線対へのデータの流れを説明するために、図12におけるブロック164の書込に関する構成を示した図である。

【0137】図13を参照して、書込データ線WDATA0、WDATA2、WDATA6によって伝達された書込データは、選択回路182に入力される。

【0138】選択回路182は、選択信号WORDCが活性化されたときに書込データ線WDATA0によって伝達された書込データを信号ZWDとして出力するライトバスセクタWBSEL1#1と、選択信号WORDBが活性化されたときに書込データ線WDATA2によって伝達されたデータを信号ZWDとして出力するライトバスセクタWBSEL1#2と、選択信号WORDAが活性化されたときに書込データ線WDATA6によって伝達されたデータを信号ZWDとして出力するライトバスセクタWBSEL1#3を含む。

【0139】選択回路182から出力される信号ZWDは、選択信号SEL1が活性化されているときにブロック164に含まれるライトドライバWDによってグローバルI/O線GIO<1>、ZGIO<1>に相補な書込データとして出力される。

【0140】図14は、図12、図13におけるライトバスセクタWBSEL1の構成を示す回路図である。

【0141】図14を参照して、ライトバスセクタWBSEL1は、選択信号WORDを受けて反転するインバータ184と、選択信号WORDおよびインバータ184の出力に応じて選択信号WORDが活性化されたときに、書込データ線WDATA上に伝達されてくる書込データを反転しZWDとして出力するクロックドインバータ186を含む。

【0142】選択信号WORDは、図12における選択信号WORDA~WORDC、ZWORDA~ZWORDCに対応する信号であり、書込データ線WDATAは、図12における書込データ線WDATA0、WDATA4、WDATA2、WDATA6に対応する書込データ線である。

【0143】図15は、図12、図13に示したライトドライバWDの構成を示す回路図である。

【0144】図15を参照して、ライトドライバWDは、イコライズ信号ZGIOEQに応じてグローバルI/O線GIO、ZGIOとともに電源電位にプリチャージするイコライズ回路192と、イネーブルWBEおよび選択信号SELに応じてライトバスセクタの出力す

る信号ZWDを伝達するゲート回路194と、ゲート回路194の出力に応じてグローバルI/O線GIO、ZGIOを駆動する増幅回路196を含む。

【0145】ゲート回路194は、イネーブル信号WBEおよび選択信号SELを受けるNAND回路201と、ライトバスセクタの出力である信号ZWDを受けて反転するインバータ202と、NAND回路201の出力および信号ZWDを受けるNOR回路204と、インバータ202の出力とNAND回路201の出力を受けるNOR回路206を含む。

【0146】イコライズ回路192は、電源ノードとグローバルI/O線GIOとの間に接続されイコライズ信号ZGIOEQをゲートに受けるPチャネルMOSトランジスタ198と、電源ノードとグローバルI/O線ZGIOとの間に接続されイコライズ信号ZGIOEQをゲートに受けるPチャネルMOSトランジスタ200を含む。

【0147】増幅回路196は、NOR回路204の出力を受けて反転するインバータ210と、NOR回路206の出力を受けて反転するインバータ208と、接地ノードとグローバルI/O線ZGIOとの間に接続されNOR回路204の出力をゲートに受けるNチャネルMOSトランジスタ216と、電源ノードとグローバルI/O線ZGIOとの間に接続されゲートにインバータ208の出力を受けるPチャネルMOSトランジスタ218と、接地ノードとグローバルI/O線GIOとの間に接続されゲートにNOR回路206の出力を受けるNチャネルMOSトランジスタ212と、電源ノードとグローバルI/O線GIOとの間に接続されゲートにインバータ210の出力を受けるPチャネルMOSトランジスタ214を含む。

【0148】ここで選択信号SELには、図12における選択信号SEL0~SEL7のうち対応する信号が入力される。

【0149】図16は、各動作モードにおけるグローバルI/O線対GIO<0>~GIO<7>と書込データ線との対応関係を説明するための図である。

【0150】図12、図16を参照して、グローバルI/O線対GIO<0>には、ブロック162によって×4、×8、×16モードおよびマルチビットテストモードにおいてすべて書込データ線WDATA0によって伝達されたデータが書込まれる。

【0151】グローバルI/O線対GIO<1>にはブロック164によって×4モードにおいては書込データ線WDATA0によって伝達されたデータが書込まれる。×8モードにおいては、書込データ線WDATA2によって伝達されたデータが書込まれる。×16モードにおいては、書込データ線WDATA6によって伝達されたデータが書込まれる。

【0152】グローバルI/O線対GIO<2>には、

ブロック166によって×4モードにおいては書込データ線WDATA0によって伝達されたデータが書込まれ、×8モードにおいては書込データ線WDATA2によって伝達されたデータが書込まれ、×16モードにおいては書込データ線WDATA2によって伝達されたデータが書込まれる。

【0153】グローバルI/O線対GIO<3>には、ブロック168の働きにより、×4モードにおいては書込データ線WDATA0によって伝達されたデータが書込まれ、×8モードにおいては書込データ線WDATA0によって伝達されたデータが書込まれ、×16モードにおいては書込データ線WDATA4によって伝達されたデータが書込まれる。

【0154】グローバルI/O線対GIO<4>には、ブロック170によって×4モードにおいては書込データ線WDATA0によって伝達されたデータが書込まれ、×8モードにおいては書込データ線WDATA0によって伝達されたデータが書込まれ、×16モードにおいては書込データ線WDATA4によって伝達されたデータが書込まれる。

【0155】グローバルI/O線対GIO<5>には、ブロック172によって×4モードにおいては書込データ線WDATA0によって伝達されたデータが書込まれ、×8モードにおいては書込データ線WDATA2によって伝達されたデータが書込まれ、×16モードにおいては書込データ線WDATA2によって伝達されたデータが書込まれる。

【0156】グローバルI/O線対GIO<6>には、ブロック174によって×4モードにおいては書込データ線WDATA2によって伝達されたデータが書込まれ、×8モードにおいては書込データ線WDATA2によって伝達されたデータが書込まれ、×16モードにおいては書込データ線WDATA6によって伝達されたデータが書込まれる。

【0157】グローバルI/O線対GIO<7>に対しては、ブロック176によって×4、×8、×16モードすべてにおいて書込データ線WDATA0によって伝達されたデータが書込まれる。

【0158】またマルチビットテストを実施する際には、ブロック162～172の働きによりグローバルI/O線対GIO<0>～GIO<7>にはすべて書込データ線WDATA0によって伝達されたデータが同時に書込まれる。

【0159】図17は、書込時の動作を説明するための動作波形図である。図17を参照して、アドレスが変化すると信号ATDにパルスが現れる。そして図6のアドレス変換回路84、デコード回路86、図9のセレクト104を経由して発生された選択信号SELが活性化される。

【0160】そして、コラムアドレスの入力を示す制御

信号/UCAS、/LCASの立下がりに応じて信号U\_CDE、L\_CDEが活性化され、それに応じて信号U\_WBE、L\_WBEが活性化される。

【0161】そしてグローバルI/O線のイコライズ信号U\_ZGIOEQ、L\_ZGIOEQのイコライズが解除されグローバルI/O線GIOにデータが読出されてくる。このときグローバルI/O線/GIOはHレベルのままである。グローバルI/O線に書込まれるデータは図13に示した選択回路182の出力である信号ZWDの極性によって決定される。

【0162】[データ読出の流れ] 図18は、データ読出の流れを説明するための図である。

【0163】図18を参照して、グローバルI/O線対GIO<1>から読出データ線までデータが読出される様子を代表として説明する。

【0164】グローバルI/O線GIO<1>、ZGIO<1>から読出されたデータはアリアンプPAによって受取られる。図10に示した信号発生回路124から与えられる選択信号SEL1が活性化された場合には、アリアンプは活性化されグローバルI/O線GIO<1>、ZGIO<1>上に現れているデータを増幅して信号PDL、PDH、ZPDL、ZPDHを出力する。

【0165】アリアンプPAの出力信号は読出データ線を駆動する回路218に入力される。回路218は、選択信号WORDA～WORDCの状態に応じてアリアンプの出力を読出データ線ZRDFLO、ZRDFL2、ZRDFL6のいずれかに出力し相補な信号を読出データ線ZRDFH0、ZRDFH2、ZRDFH6のいずれかに出力する。

【0166】回路218は、図12に示したブロック164の中に含まれる3つのリードバスドライバRBDRV1#1～RBDRV1#3を含んでいる。

【0167】リードバスドライバRBDRV1#1は選択信号WORDCが活性化状態にあるときにアリアンプPAの出力を読出データ線ZRDFLO、ZRDFH0に出力する。リードバスドライバRBDRV1#2は、選択信号WORDBが活性化されるとアリアンプPAの出力を読出データ線ZRDFL2、ZRDFH2に出力する。

【0168】リードバスドライバRBDRV1#3は、選択信号WORDAが活性化されるとアリアンプPAの出力を読出データ線ZRDFL6、ZRDFH6に出力する。

【0169】図19は、図12、図18におけるアリアンプPAの構成を説明するための回路図である。

【0170】図19を参照して、アリアンプPAはグローバルI/O線GIO、/GIO上に現れるデータを検知する検知部222と、検知部222の出力を受けて図18に示した回路218に出力する出力部224と、イ

ネーブル信号PAEと選択信号SELとを受けて検知部222および出力部224を活性化するAND回路226を含む。

【0171】検知部222は、ソースが電源ノードに接続されるPチャネルMOSTランジスタ228と、PチャネルMOSTランジスタ228のゲートにゲートおよびドレインが接続されソースが電源ノードに接続されるPチャネルMOSTランジスタ230と、PチャネルMOSTランジスタ228のドレインとPチャネルMOSTランジスタ230のドレインとの間に接続されゲートにAND回路226の出力を受けるPチャネルMOSTランジスタ232と、ゲートがグローバルI/O線GIOに接続されドレインがPチャネルMOSTランジスタ228のドレインに接続されるNチャネルMOSTランジスタ234と、ゲートがグローバルI/O線/GIOに接続されPチャネルMOSTランジスタ230のドレインとNチャネルMOSTランジスタ234のソースとの間に接続されるNチャネルMOSTランジスタ236と、ゲートにAND回路226の出力を受けNチャネルMOSTランジスタ234のソースと接地ノードとの間に接続されるNチャネルMOSTランジスタ250とを含む。

【0172】検知部222は、さらに、電源ノードにソースが接続されるPチャネルMOSTランジスタ240と、ゲートおよびドレインがPチャネルMOSTランジスタ240のゲートに接続されソースが電源ノードに接続されるPチャネルMOSTランジスタ238と、PチャネルMOSTランジスタ238のドレインとPチャネルMOSTランジスタ240のドレインとの間に接続されゲートにAND回路226の出力を受けるPチャネルMOSTランジスタ242と、ゲートにグローバルI/O線GIOが接続されPチャネルMOSTランジスタ238のドレインとNチャネルMOSTランジスタ234のソースとの間に接続されるNチャネルMOSTランジスタ244と、ゲートにグローバルI/O線/GIOが接続されPチャネルMOSTランジスタ240のドレインとNチャネルMOSTランジスタ234のソースとの間に接続されるNチャネルMOSTランジスタ246と、ゲートにAND回路226の出力を受けPチャネルMOSTランジスタ230のドレインとPチャネルMOSTランジスタ238のドレインとの間に接続されるPチャネルMOSTランジスタ248とを含む。

【0173】出力部224は、ゲートにAND回路226の出力を受けソースが電源ノードに接続されるPチャネルMOSTランジスタ252と、ゲートにPチャネルMOSTランジスタ240のドレインが接続され電源ノードとPチャネルMOSTランジスタ252のドレインとの間に接続されるPチャネルMOSTランジスタ254と、ゲートにグローバルI/O線GIOが接続されドレインがPチャネルMOSTランジスタ252のドレイ

ンに接続されるNチャネルMOSTランジスタ256と、NチャネルMOSTランジスタ256のソースと接地ノードとの間に接続されゲートにAND回路226の出力を受けるNチャネルMOSTランジスタ258とを含む。

【0174】出力部224は、さらに、ゲートにAND回路226の出力を受けソースが電源ノードに接続されるPチャネルMOSTランジスタ262と、ゲートがPチャネルMOSTランジスタ228のドレインに接続され電源ノードとPチャネルMOSTランジスタ262のドレインとの間に接続されるPチャネルMOSTランジスタ264と、ゲートにグローバルI/O線/GIOが接続されドレインがPチャネルMOSTランジスタ262のドレインと接続されるNチャネルMOSTランジスタ266と、NチャネルMOSTランジスタ266のソースと接地ノードとの間に接続されゲートにAND回路226の出力を受けるNチャネルMOSTランジスタ268とを含む。

【0175】出力部224は、さらに、PチャネルMOSTランジスタ252のドレインの電位と信号PDLとを受けて信号PDHを出力するNOR回路270と、信号PDLとモード信号ZMBTORとを受けるAND回路272と、AND回路272の出力および信号RDBEQを受けて信号ZPDLDを出力するNOR回路274とを含む。

【0176】出力部224は、さらに、PチャネルMOSTランジスタ262の電位と信号PDHとを受けて信号PDLを出力するNOR回路276と、信号PDHとモード信号ZMBTORとを受けるAND回路278と、AND回路278の出力と信号RDBEQを受けて信号ZPDHDを出力するNOR回路280とを含む。

【0177】図20は、図12、図18におけるリードバスドライバBDRV1の構成を示す回路図である。

【0178】図20を参照して、リードバスドライバBDRV1は、選択信号WORDを受けて反転するインバータ282と、選択信号WORDおよびインバータ282の出力に応じて選択信号WORDが活性化されたときに信号ZPDHDを出力するトランスミッションゲート284と、トランスミッションゲート284を介して信号ZPDHDをゲートに受けソースが電源ノードに接続されるPチャネルMOSTランジスタ288と、選択信号WORDをゲートに受け電源ノードとPチャネルMOSTランジスタ288のゲートとの間に接続されるPチャネルMOSTランジスタ287とを含む。

【0179】リードバスドライバBDRV1は、さらに、選択信号WORDおよびインバータ282の出力を受けて選択信号WORDが活性化されたときに信号PDLを受けて伝達するトランスミッションゲート286と、トランスミッションゲート286を介して信号PDLをゲートに受けPチャネルMOSTランジスタ288



のドレインと接地ノードとの間に接続されるNチャネルMOSTランジスタ290と、インバータ282の出力をゲートに受け電源ノードとNチャネルMOSTランジスタ290のゲートとの間に接続されるNチャネルMOSTランジスタ289を含む。

【0180】選択信号WORDが非活性化時には、NチャネルMOSTランジスタ290のゲートおよびPチャネルMOSTランジスタ288のゲートは、それぞれNチャネルMOSTランジスタ289およびPチャネルMOSTランジスタ287によって電位がLレベル、Hレベルに固定されるPチャネルMOSTランジスタ288のドレインからは信号ZRDFLが出力される。

【0181】また、トランSMIッションゲート284、286にそれぞれ信号ZPDHL、PDHが与えられる場合にはPチャネルMOSTランジスタ288のドレインからは信号ZRDFHが出力される。

【0182】選択信号WORDには図12に示した選択信号WORDA~WORDC、ZWORDA~ZWORDCのいずれかが入力される。

【0183】図21は、読出時のデータの流れを説明するための動作波形図である。図21を参照して、上位ビットマツト用のコラムストロブ信号/UCASおよび下位ビットマツト用のコラムストロブ信号/LCASがHレベルのときにアドレス信号/A0~A12が変化すると、内部で信号ATDが発生される。モード信号によって設定されるモードおよびコラムアドレス信号CAD<n>に応じて該当する選択信号SELが活性化される。

【0184】上位ビットマツト用のコラムストロブ信号/UCASおよび下位ビットマツト用のコラムストロブ信号/LCASの立下がりに応じてプリアンプを活性化する信号PAEが活性化されると同時にリードデータバスをイコライズしていた信号RDBEQが非活性化される。

【0185】応じてプリアンプは信号ZPDHD、ZPDLD、PDH、PDLを出力する。これがリードデータバスに伝達されリードデータバスZRDFH、ZRDFLはプリアンプの出力に応じたデータが伝達され出力データバッファを介して端子DQにデータが伝達される。

【0186】しばらくすると、1ショットの信号PAEがLレベルに立ち下がり、RDBEQが活性化される。そのとき、信号ZPDLD、ZPDHDはLレベルにプリチャージされ、信号ZRDFH、ZRDFLはHレベルにプリチャージされる。

【0187】上位ビットマツト用のコラムストロブ信号/UCASおよび下位ビットマツト用のコラムストロブ信号/LCASがLレベルのときには内部で信号ATDが発生されないが、次に上位ビットマツト用のコラムストロブ信号/UCASおよび下位ビットマツト用

のコラムストロブ信号/LCASがLレベルからHレベルに立上がった際に、アドレス信号が前回と変わっていれば、応じて内部で信号ATDが発生し、信号CADおよび選択信号SELも変化する。

【0188】以上説明したようなデータバス構造を採用すれば、図28、図30に示したようなセクタ502#1~502#4をデータバスの中間地点に設ける必要がない。

【0189】このようなセクタが存在しないことにより、メモリマツトからデータ端子までの間のデータの伝搬遅延量はアドレスの変化やモードの切替等に関わらず一定の値であるので、アドレスの変化に伴うタイミングのクリティカルな合わせ込みを一切不要とすることができる。

【0190】また、メモリマツトから出力されるグローバルI/O線対は8本であるため、付随するプリアンプを従来の1マツトあたり32個から8個に減らすことができ、回路の大幅削減が可能である。

【0191】[マルチビットテストの説明] 図22は、本発明の半導体記憶装置において実行されるマルチビットテストの説明をするための図である。

【0192】図12、図22を参照して、マルチビットテスト時には、書込データ線WDATA0から伝達されたデータは、回路ブロック162~176のすべてに入力される。図22では、代表としてグローバルI/O線対GIO<0>、GIO<2>、GIO<4>、GIO<6>に関する構成が概略的に示されている。

【0193】このようなセンスアンプとビット線の配置の関係はハーフピッチセルと呼ばれている。

【0194】書込データ線WDATA0にデータが入力されると、これらのグローバルI/O線対のすべてに同じデータが書込まれ、グローバルI/O線対とローカルI/O線対との間のスイッチ回路SW0、SW1、SW2、SW3を介してローカルI/O線LIO、ZLIOにデータが伝達され、センスアンプSA0、SA1、SA2、SA3はそれぞれのビット線BLを同じ論理レベルにし、それぞれのビット線/BLをビット線BLと逆の論理レベルにする。

【0195】すなわち通常のマルチビットテスト時には302で示された論理状態に各々のビット線BL、/BLが設定される。

【0196】したがって、マルチビットテスト時には、隣接して配置されるビット線は異なる論理状態となるので、隣接ビット線間にショート等の故障が生じている場合には、該当するメモリセルには正しいデータが書込まれない。したがって、書込まれたデータを読み出すことで故障を検出することができる。

【0197】マルチビットテストの読出時には、書込時とは逆の順番でローカルI/O線対、グローバルI/O線対を経由して回路ブロック162、166、170、

174にデータが出力されてくる。これらは読出データ線ZRDFLO、ZRDFHOに同時に出力される。

【0198】メモリセルがすべて正常でビット線のショート等がなければ、すなわち、同一なデータが正しくメモリセルに書込まれ、読出されてくれば、リードデータバスZRDFHO、ZRDFLOのいずれか一方がLレベルになる。

【0199】故障があった場合には、リードデータバスZRDFLO、ZRDFHOは両方ともLレベルになる。これはリードデータバス上で回路ブロック162、166、170、174のワイヤードORがとられるからである。このようにすることで、マルチビットテストが実行可能である。

【0200】しかしながら、このようなマルチビットテストでは発見ができないビット線間のショートが起こる場合がある。このようなショートはたとえば1本のビット線を挟んだ離れたビット線間のショート等である。たとえば、ビット線が形成される配線層の下部に存在する導電層においてショートが起こった場合等にこのような不良が発生する。

【0201】したがって、本発明の半導体記憶装置では、1本おきのビット線にショートが生じた場合を検出することができるIOコンビネーションテストが実施できるようにになっている。

【0202】IOコンビネーションテスト時には、回路ブロック162、170は、書込データ線WDATA0に伝達されてきたデータを反転してグローバルI/O線対に出力する。

【0203】すると、図22の304に示したような論理状態に各ビット線が設定される。このような状態に設定することができれば、マルチビットテスト時においても1本おきのビット線にショートが生じていた場合にも検出することが可能になる。

【0204】そして、グローバルI/O線対にデータが読出されてくると、回路ブロック162、170は、さらに反転してそのデータを読出データ線ZRDFLO、ZRDFHOに出力する。このようにすれば通常のマルチビットテスト時と同様に縮退してデータを読出すことが可能である。

【0205】図23は、図12におけるライトバスセクタWBSELの構成を示す回路図である。

【0206】図23を参照して、ライトバスセクタWBSELは、選択信号WORDを受けて反転するインバータ312と、コンビネーションIOテストモード時に活性化される信号TMIOCOMBを受けて反転するインバータ316と、選択信号WORDおよびインバータ312の出力によって選択信号WORDがHレベルのときに活性化されて書込データ線WDATAに伝達された書込データを反転して信号ZWDとして出力するクロックドインバータ314とを含む。

【0207】ライトバスセクタWBSELは、さらに、書込データ線WDATAに伝達されたデータを受けて反転するインバータ318と、信号TMIOCOMBおよびインバータ316の出力を受けてIOコンビネーションテスト時に活性化されてインバータ318の出力を受けて反転し信号ZWDとして出力するクロックドインバータ320とを含む。

【0208】このようなライトバスセクタWBSEL2を図12における回路ブロック162、168、170、176が含んでいるので、グローバルI/O線対GIO<0>、GIO<3>、GIO<4>、GIO<7>に対して書込まれるデータはIOコンビネーションモード時には通常のマルチビットテスト時に書込まれるデータの反転したデータとなる。

【0209】図24は、図12におけるリードバสดライバRBDRV2の構成を示す回路図である。

【0210】図24を参照して、リードバสดライバRBDRV2は、選択信号WORDを受けて反転し、信号ZWORDを出力するインバータ322と、信号TMIOCOMBを受けて反転し、信号ZTMIOCOMBを出力するインバータ332と、選択信号WORDおよび信号ZWORDに応じて選択信号WORDがHレベルのときに導通して信号ZPDL Dを受けて伝達するトランスミッションゲート324と、トランスミッションゲート324を介して信号ZPDL Dをゲートに受けソースが電源ノードに接続されたPチャネルMOSTランジスタ328と、信号WORDをゲートに受け電源ノードとPチャネルMOSTランジスタ328のゲートとの間に接続されたPチャネルMOSTランジスタ327とを含む。

【0211】リードバสดライバRBDRV2は、さらに、選択信号WORDおよび信号ZWORDに応じて選択信号WORDがHレベルのときに導通し信号PDHを伝達するトランスミッションゲート326と、PチャネルMOSTランジスタ328のドレインと接地ノードとの間に接続されトランスミッションゲート326を介して信号PDHをゲートに受けるNチャネルMOSTランジスタ330と、信号ZWORDをゲートに受け接地ノードとNチャネルMOSTランジスタ330のゲートとの間に接続されたNチャネルMOSTランジスタ329とを含む。PチャネルMOSTランジスタ328のドレインからは信号ZRDFHが出力される。

【0212】リードバสดライバRBDRV2は、さらに、選択信号WORDおよび信号ZWORDに応じて選択信号WORDがHレベルのときに導通して信号ZPDHを伝達するトランスミッションゲート334と、トランスミッションゲート334を介して信号ZPDHをゲートに受けソースが電源ノードに接続されるPチャネルMOSTランジスタ338と、選択信号WORDをゲートに受け電源ノードとPチャネルMOSTランジスタ338のゲートとの間に接続されたPチャネルMOSTランジスタ337とを含む。

タ338のゲートとの間に接続されたPチャネルMOSトランジスタ337を含む。

【0213】リードバスドライバRBDRV2は、さらに、選択信号WORDおよび信号ZWORDに応じて選択信号WORDがHレベルのときに導通して信号PDLを伝達するトランスミッションゲート336と、トランスミッションゲート336を介して信号PDLをゲートに受けPチャネルMOSTランジスタ338のドレインと接地ノードとの間に接続されるNチャネルMOSTランジスタ340と、信号ZWORDをゲートに受け接地ノードとNチャネルMOSTランジスタ340のゲートとの間に接続されたNチャネルMOSTランジスタ339を含む。PチャネルMOSTランジスタ338のドレインからは信号ZRDFLが出力される。

【0214】リードバスドライバRBDRV2は、さらに、信号TMIOCOMBおよび信号ZTMIOCOMBに応じてIOコンビネーションテスト時に導通するトランスミッションゲート323、325、333および335を含む。

【0215】トランスミッションゲート323は、導通時に信号PDHをNチャネルMOSTランジスタ340のゲートに伝達する。トランスミッションゲート325は、導通時に信号ZPDLをPチャネルMOSTランジスタ338のゲートに伝達する。

【0216】トランスミッションゲート333は、導通時に信号PDLをNチャネルMOSTランジスタ330のゲートに伝達する。トランスミッションゲート335は、導通時に信号ZPDHをPチャネルMOSTランジスタ328のゲートに伝達する。

【0217】図12において、リードバスドライバRBDRV2は、回路ブロック162、168、170、176に用いられている。したがって、IOコンビネーションモードにおいては、これらの回路ブロックに接続されているグローバルI/O線対GIO<0>、GIO<3>、GIO<4>、GIO<7>から読出されたデータは、反転してリードデータバスに伝達される。

【0218】図25は、図12に示したグローバルI/O線対とデータバスの接続関係を概略的に示した図である。

【0219】図25を参照して、データバスD0、D4、D2、D6は、それぞれ書込データ線と読出データ線対とを複数含んでいるデータバスを象徴的に表わしている。

【0220】スイッチ352は、IOコンビネーションテスト時にデータバスD0とグローバルI/O線対GIO0とを接続するスイッチである。

【0221】スイッチ352による経路でデータバスD0とグローバルI/O線対GIO0とが結合されると、データ書込時および読出時にデータの極性が反転することを図は象徴的に示している。

【0222】同様に、IOコンビネーションテスト時には、データバスD0とグローバルI/O線対GIO3とがスイッチ352によって結合される。同じくデータバスD0とグローバルI/O線対GIO4とがスイッチ352によって結合される。同じくデータバスD0とグローバルI/O線対GIO7とがスイッチ352によって結合される。

【0223】図25において、一例として、ブロックBLK内でワード線が一本活性化されてデータの読出がされる場合を考える(×4、×8、×16)。この場合には、スイッチSW0～SW3を介して、グローバルI/O線対GIO<0>、GIO<2>、GIO<4>、GIO<6>にデータが出力される。この時、信号ZCA D9はHレベルで、図10で示した回路がそれぞれのモードに応じてSEL0、SEL2、SEL4、SEL6を選択して活性化する。SEL0～SEL7によって、スイッチ352～366の導通状態が制御される。

【0224】なお、スイッチ356は、×4、×8、×16モード共通にデータバスとグローバルI/O線対を結合するスイッチであり、スイッチ364は、×4モードのときにのみデータバスとグローバルI/O線対を結合するスイッチであり、スイッチ360は、×8モードのときにのみデータバスとグローバルI/O線対を結合するスイッチであり、スイッチ358は、×16モードのときにのみデータバスとグローバルI/O線対を結合するスイッチである。

【0225】スイッチ362は、×8、×16モードの両方の場合にデータバスとグローバルI/O線対を結合するスイッチであり、スイッチ366は、×4、×8モード共通にデータバスとグローバルI/O線対とを結合するスイッチである。

【0226】[ローカルI/O線対のイコライズの説明] 図25を参照して、メモリマットの構造について説明する。メモリマットの短辺に平行に34本のローカルI/O線対が設けられている。これらのローカルI/O線対をイコライズするためにイコライズ回路LEQがメモリマットの上下の長辺に沿って設けられている。

【0227】図26は、メモリマットのローカルI/O線LIO、/LIOとイコライズLEQとの関係を示した拡大図である。

【0228】図26を参照して、本発明の半導体記憶装置では、メモリマットのローカルI/O線対の分割はされていないため、イコライズ回路LEQの数を減らすことができています。

【0229】そして、イコライズ回路LEQの配置は、ローカルI/O線LIO、/LIOの両端部すなわちメモリマットの上下の長辺に沿った位置に配置されている。このような配置にすることで、イコライズ回路LEQを活性化させるローカルI/O線対のイコライズ信号を伝達する制御配線LIOEQ<0>、LIOEQ1<

2>の2本のみでローカルI/O線対のイコライズを制御することができる。

【0230】したがって、図32に示した従来のメモリマットに比べて、ローカルI/O線対をイコライズする制御信号の本数を大幅に減らすことができる。

【0231】図27は、ローカルI/O線対をイコライズする信号LIOEQ<0>、LIOEQ<1>とローカルI/O線対LIO<0>…LIO<n>とグローバルI/O線対GIO<0>…GIO<n>の配置関係を簡単に示した図である。

【0232】図27を参照して、ローカルI/O線対をイコライズする制御信号を伝達する配線の本数が減っているため、グローバルI/O線対の配置の自由度が従来に比べて増している。したがって、メモリマットの各部分からの読出伝搬遅延の最適化を図りつつグローバルI/O線対を適切な配置にすることができる。

【0233】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0234】

【発明の効果】請求項1、2に記載の半導体記憶装置は、複雑なタイミングの合わせ込みが不要なので設計が容易で、かつ、付随する回路規模が小さくできる。

【0235】請求項3、4に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置が奏する効果に加えて、2つの隣接するメモリマットで列系信号を伝達するアドレスバスを共用できるので、配線本数を減らすことができる。したがって、チップサイズを小さくすることができ、コストを下げることができる。

【0236】請求項5に記載の半導体記憶装置は、請求項2に記載の半導体記憶装置が奏する効果に加えて、2つの隣接するメモリマットで制御信号を伝達するアドレスバスを共用できるので、配線本数を減らすことができる。したがって、チップサイズを小さくすることができ、コストを下げることができる。

【0237】請求項6に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置が奏する効果に加えて、複数の書込データ線とグローバルI/O線対との対応をモード切換信号および列選択信号に応じて切換えることができる。

【0238】請求項7に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置が奏する効果に加えて、複数の読出データ線対とグローバルI/O線対との対応をモード切換信号および列選択信号に応じて切換えることができる。

【0239】請求項8に記載の半導体記憶装置は、請求項1に記載の半導体記憶装置が奏する効果に加えて、ロ

ーカルI/O線対をイコライズする制御信号を伝達する配線の本数が減らすことができる。さらに、グローバルI/O線対の配置の自由度が従来に比べて増し、メモリマットの各部分からの読出伝搬遅延の最適化を図りつつグローバルI/O線対を適切な配置にすることができる。

【0240】請求項9、10に記載の半導体記憶装置は、マルチビットテスト時において1本おきのビット線にショートが生じていた場合にも検出することが可能になる。

【図面の簡単な説明】

【図1】 本発明の実施の形態である半導体記憶装置1の概略的な構成を示すブロック図である。

【図2】 半導体記憶装置1のメモリマットおよびデータバス、アドレスバッファの配置を説明するための図である。

【図3】 メモリマットとデータバスとデータ入出力端子との対応関係を説明するための図である。

【図4】 本発明のメモリマット1つあたりのデータバスとセクタ帯の配置の詳細を示す図である。

【図5】 図4におけるメモリマット31#1のマルチビットテスト時の動作を説明するための概略図である。

【図6】 図4に示した行および列アドレスバッファ24に含まれる列アドレス系の信号発生部70の構成を示すブロック図である。

【図7】 図6におけるアドレス変換回路84のアドレス変換の対応を示す図である。

【図8】 図6におけるデコード回路86の構成を示す回路図である。

【図9】 図4におけるプリデコーダ帯+セクタ帯54#1の配置を示すブロック図である。

【図10】 図9におけるセクタ104の構成を示す回路図である。

【図11】 図10における信号発生回路122の動作を説明するための図である。

【図12】 図4におけるプリアンプ+ライトドライバ帯62#1の構成を示すブロック図である。

【図13】 ライトデータバスからグローバルI/O線対へのデータの流れを説明するために、図12におけるブロック164の書込に関する構成を示した図である。

【図14】 図12、図13におけるライトバスセクタWBSEL1の構成を示す回路図である。

【図15】 図12、図13に示したライトドライバWDの構成を示す回路図である。

【図16】 各動作モードにおけるグローバルI/O線対GIO<0>…GIO<7>と書込データ線との対応関係を説明するための図である。

【図17】 書込時の動作を説明するための動作波形図である。

【図18】 データ読出の流れを説明するための図であ

る。

【図19】 図12、図18におけるプリアンプPAの構成を説明するための回路図である。

【図20】 図12、図18におけるリードバスドライバRBDRV1の構成を示す回路図である。

【図21】 読出時のデータの流れを説明するための動作波形図である。

【図22】 本発明の半導体記憶装置において実行されるマルチビットテストの説明をするための図である。

【図23】 図12におけるライトバスセレクトWBSSELの構成を示す回路図である。

【図24】 図12におけるリードバスドライバRBDRV2の構成を示す回路図である。

【図25】 図12に示したグローバルI/O線対とデータバスの接続関係を概略的に示した図である。

【図26】 メモリマットのローカルI/O線LIO、/LIOとイコライズLEQとの関係を示した拡大図である。

【図27】 ローカルI/O線対をイコライズする信号LIOEQ<0>、LIOEQ<1>とローカルI/O線対LIO<0>…LIO<n>とグローバルI/O線対GIO<0>…GIO<n>の配置関係を簡単に示した図である。

【図28】 従来の、EDO DRAMのデータバスの構成を示す図である。

【図29】 図28に示したデータバスdrv0～drv15とデータ入出力端子DQ0～DQ15との対応関係を示す図である。

【図30】 従来のEDO DRAMにおける1マットあたりのデータバスの配置を説明するための概略図である。

【図31】 従来のEDO DRAMにおけるマルチビ

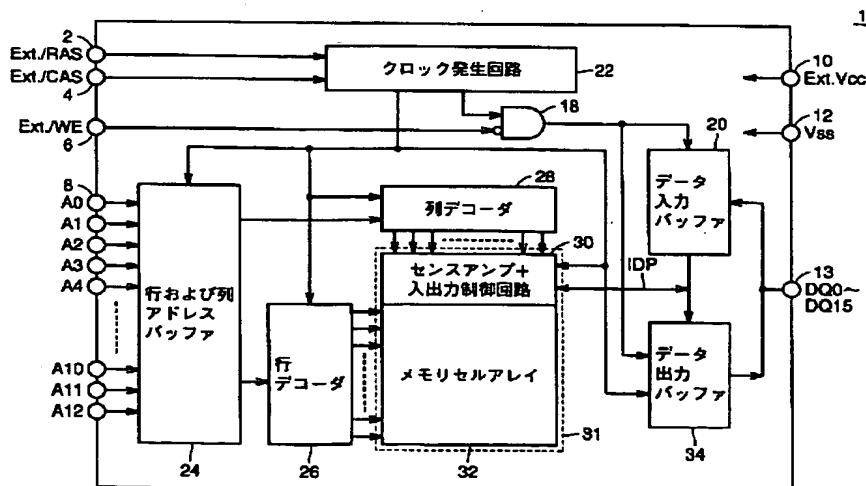
ットテストの説明をするための図である。

【図32】 従来のEDO DRAMにおけるローカルI/O線対のイコライズを行なうイコライズ回路LEQおよびイコライズ回路LEQを活性化するイコライズ信号の配置を説明するための図である。

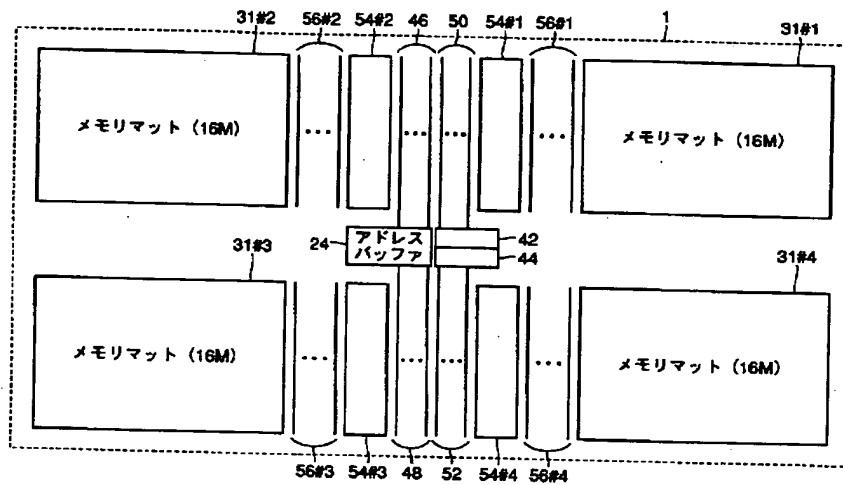
【符号の説明】

1 半導体記憶装置、2～13 端子、18 ゲート回路、20 データ入力バッファ、34 データ出力バッファ、22 クロック発生回路、24 行および列アドレスバッファ、26 行デコーダ、28 列デコーダ、30 センスアンプ+入出力制御回路、31 メモリマット、32 メモリセルアレイ、31#1～31#4 メモリマット、42、44 制御信号発生回路、46、48 アドレスデータバス、50、52 制御信号バス、54#1～54#4 プリデコーダ帯+セレクト帯、56#1～56#4 データバス、62#1 プリアンプ+ライトドライバ帯、70 信号発生部、72 ラッチ回路、76～82、86デコード回路、84 アドレス変換回路、74、88 バッファ回路、92～98 AND回路、102、120 イコライズ回路、104 セレクト、106、110、112、116 プリデコーダ、122、124 信号発生回路、162～176 回路ブロック、PA プリアンプ、WD ライトドライバ、WBSEL1、WBSEL2 ライトバスセレクト、RBDRV1、RBDRV2リードバスドライバ、182、218 選択回路、201 NAND回路、226 AND回路、SW0～SW3 スイッチ回路、SA0～SA3 センスアンプ、BL、/BL ビット線、LIO、ZLIO ローカルI/O線、GIO、/GIO グローバルI/O線、LEQ イコライズ回路、LIOEQ イコライズ信号線。

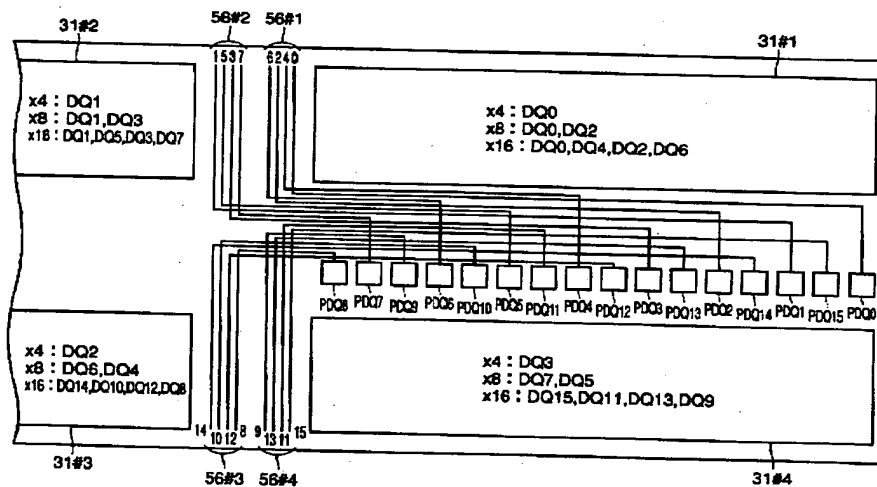
【図1】



【図2】



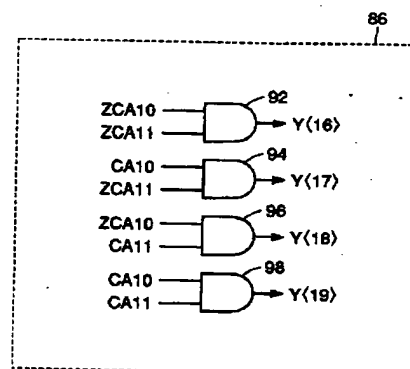
【図3】



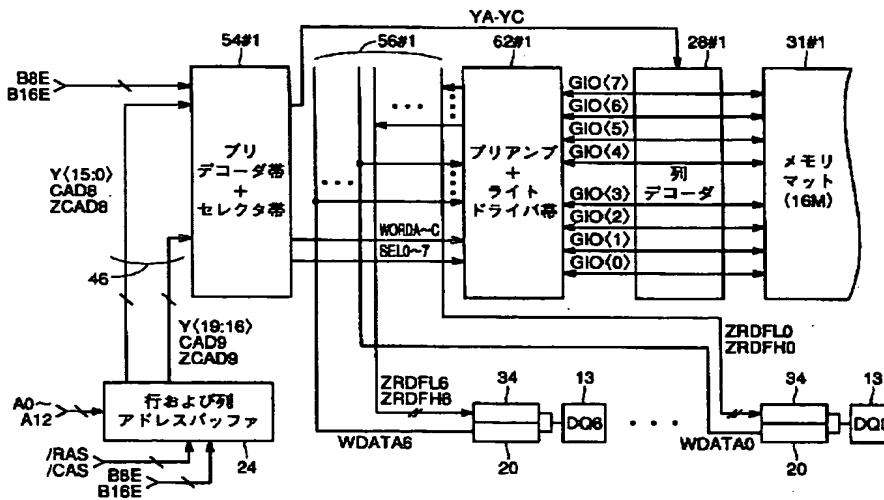
【図7】

内部コラム アドレス	X4モード	X8モード	X16モード	マルチビット テスト
CA9	A9	A9	A9	"H"
ZCA9	/A9	/A9	/A9	"H"
CA10	A10	A10	"H"	"H"
ZCA10	/A10	/A10	"H"	"H"
CA11	A11	"H"	"H"	"H"
ZCA11	/A11	"H"	"H"	"H"

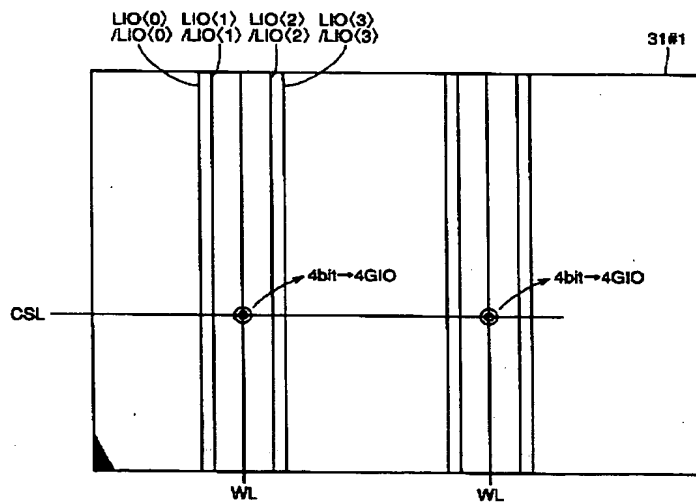
【図8】



【図4】



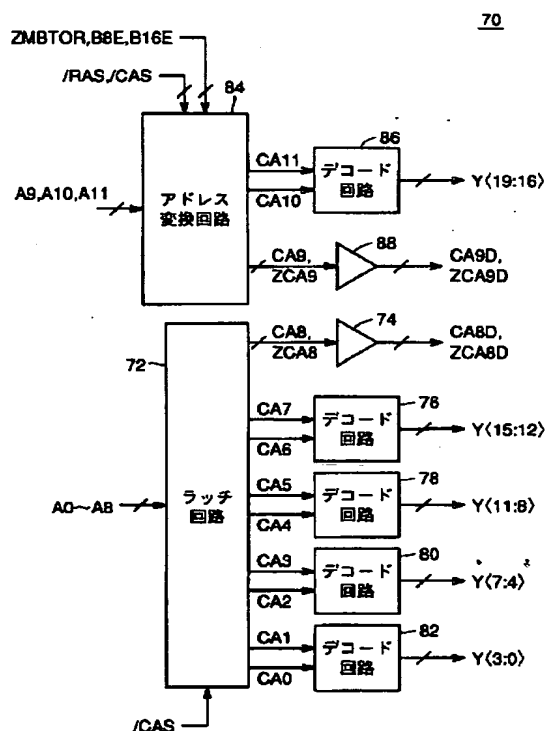
【図5】



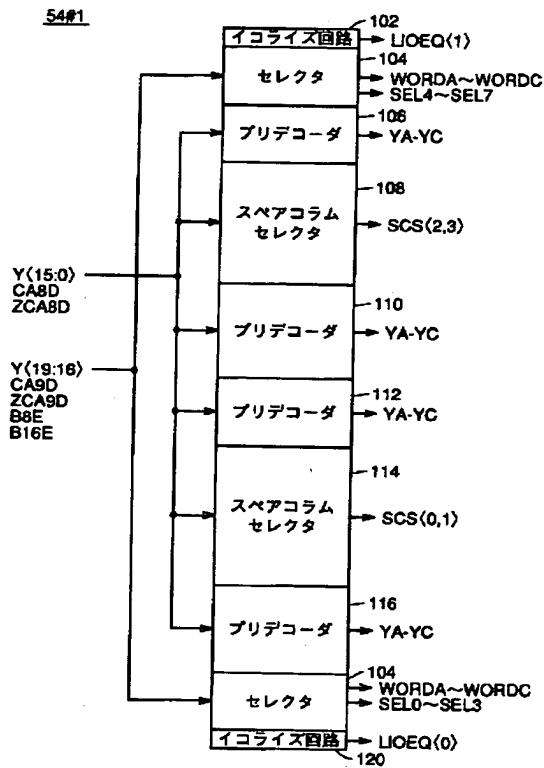
【図 1 1】

内部 制御信号	X16モード	X8モード	X4モード	マルチビット テスト
B16	"H"	"L"	"H"	X
B8	"L"	"H"	"H"	X
ZMBTOR	"H"	"H"	"H"	"L"
WORDA	"H"	"L"	"H"	"L"
WORDB	"L"	"H"	"H"	"L"
WORDC	"L"	"L"	"H"	"H"

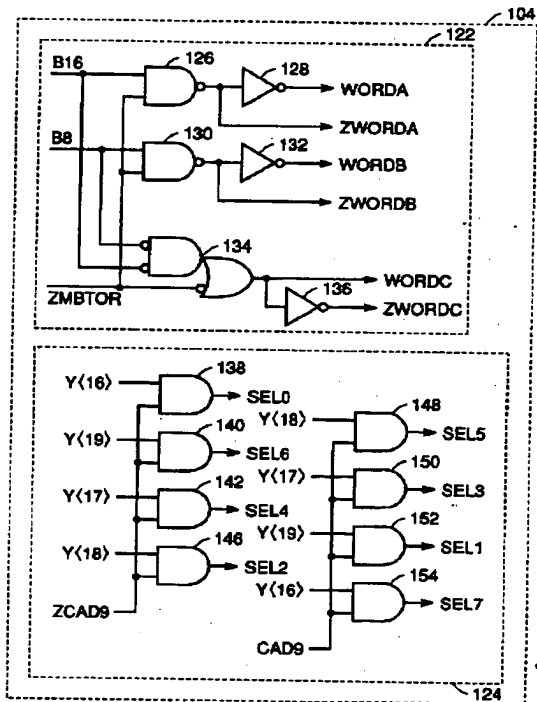
【図6】



【図9】

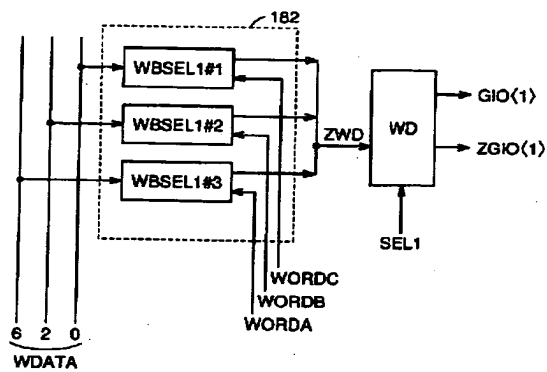


【図10】



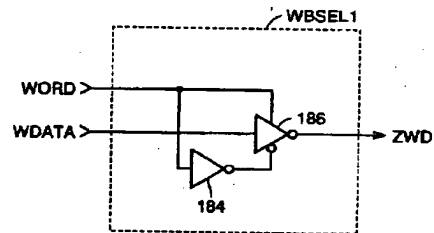
【図14】

【図13】

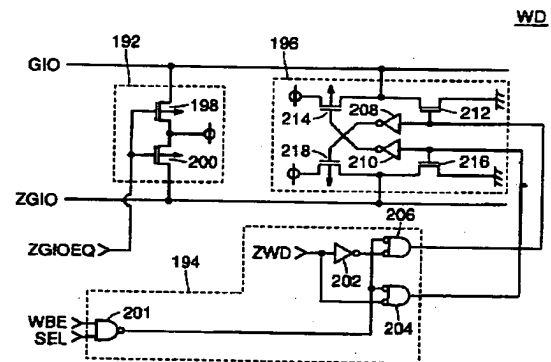


【図16】

GIO	X4モード	X8モード	X16モード	マルチビットテスト
GIO(0)	WDATA0	WDATA0	WDATA0	WDATA0
GIO(1)	WDATA0	WDATA2	WDATA8	WDATA0
GIO(2)	WDATA0	WDATA2	WDATA2	WDATA0
GIO(3)	WDATA0	WDATA0	WDATA4	WDATA0
GIO(4)	WDATA0	WDATA0	WDATA4	WDATA0
GIO(5)	WDATA0	WDATA2	WDATA2	WDATA0
GIO(6)	WDATA0	WDATA2	WDATA6	WDATA0
GIO(7)	WDATA0	WDATA0	WDATA0	WDATA0

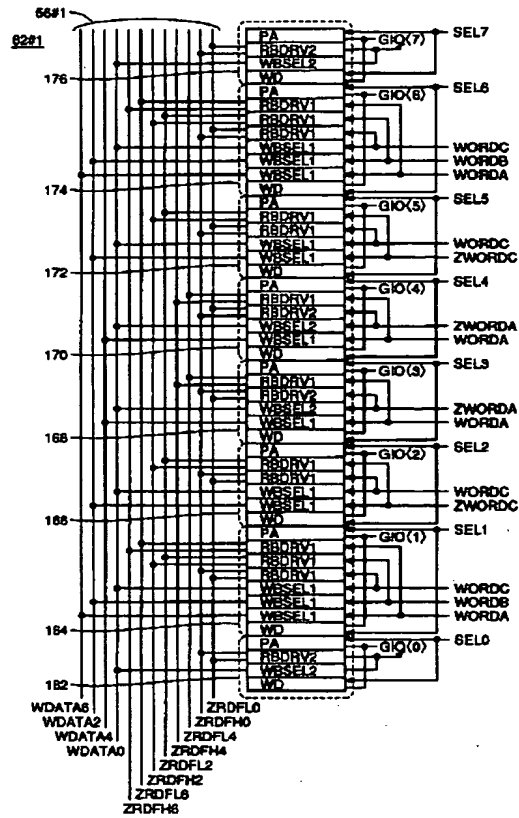


【図15】

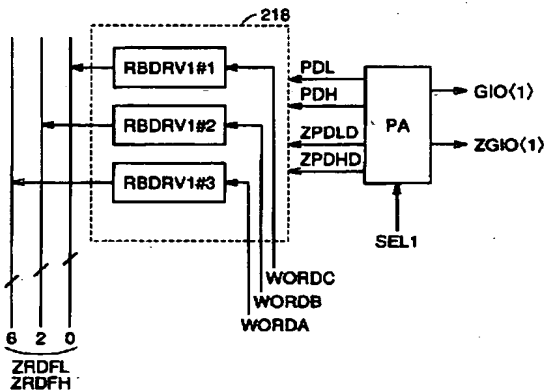




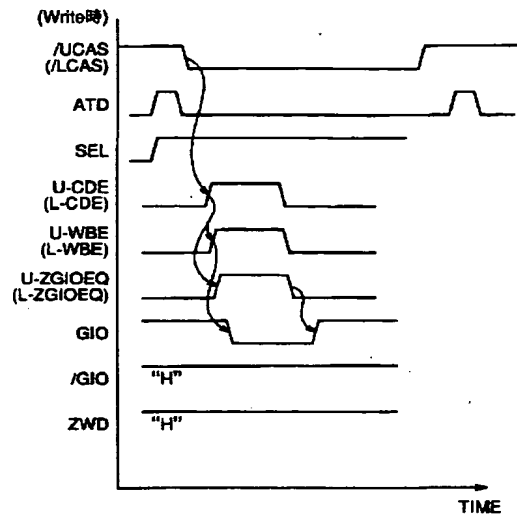
【図12】



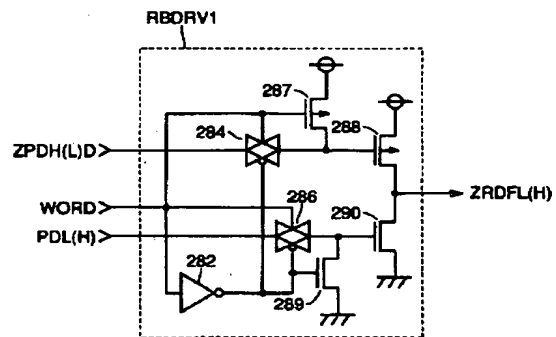
【図18】



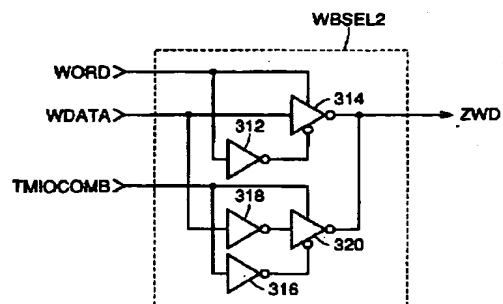
【図17】



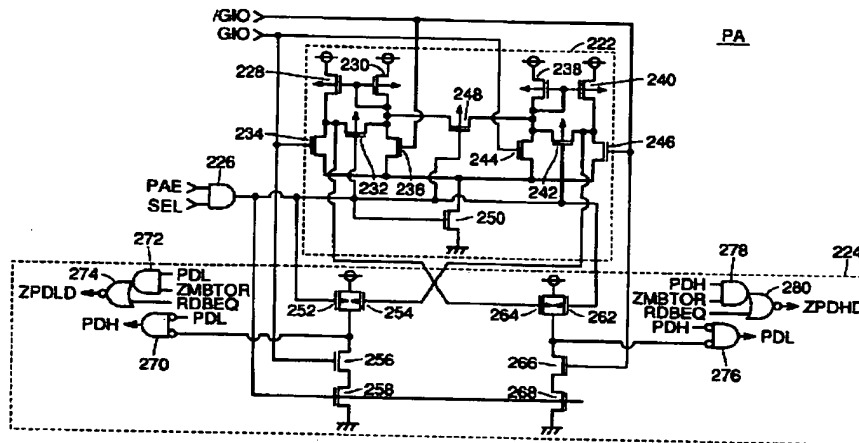
【図20】



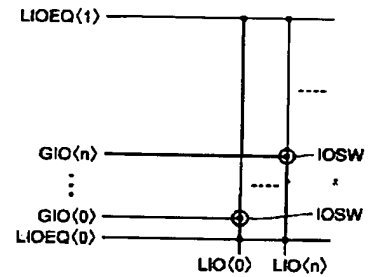
【図23】



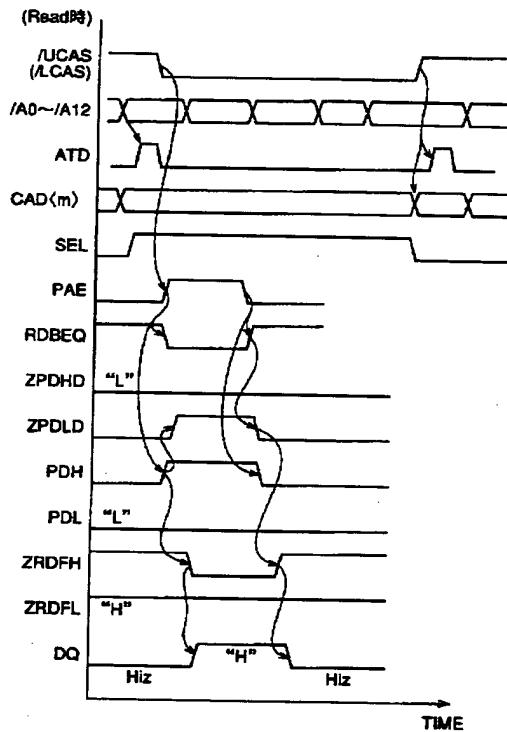
【図19】



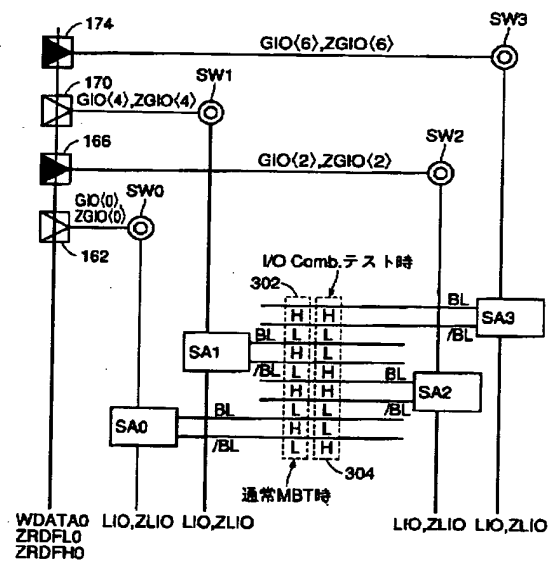
【図27】



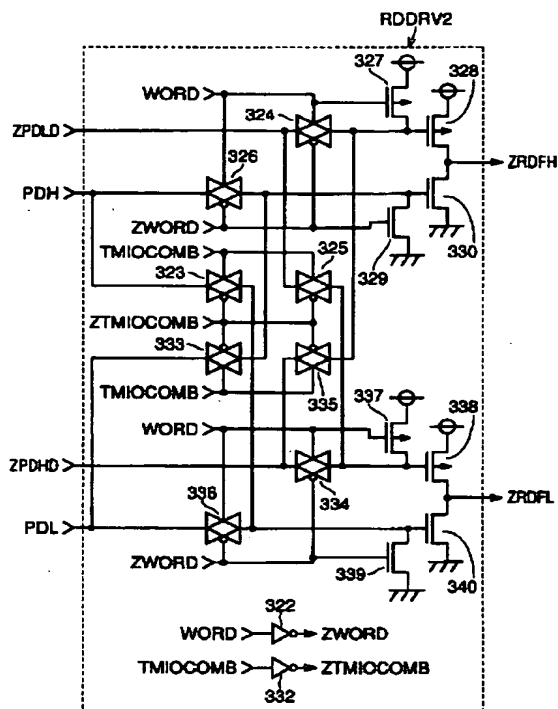
【図21】



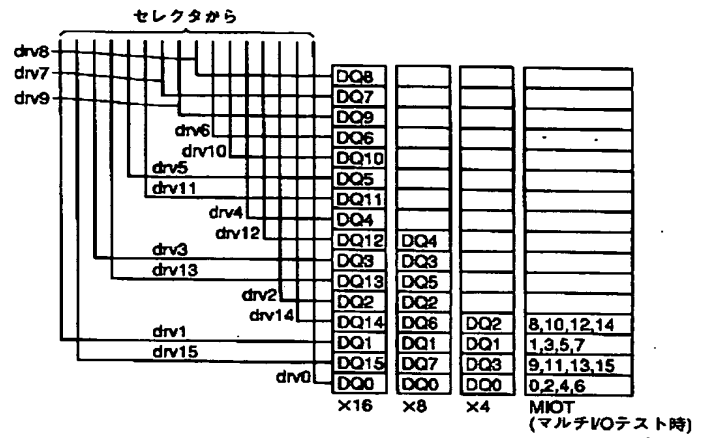
【図22】



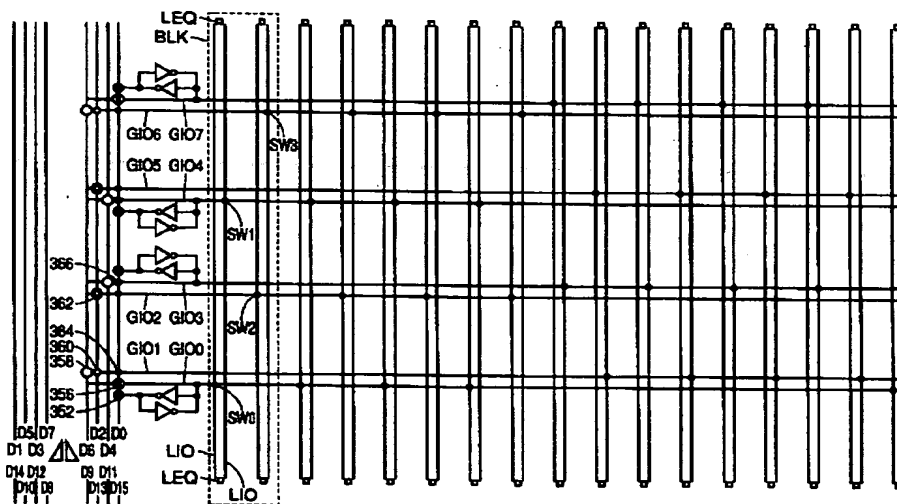
【図24】



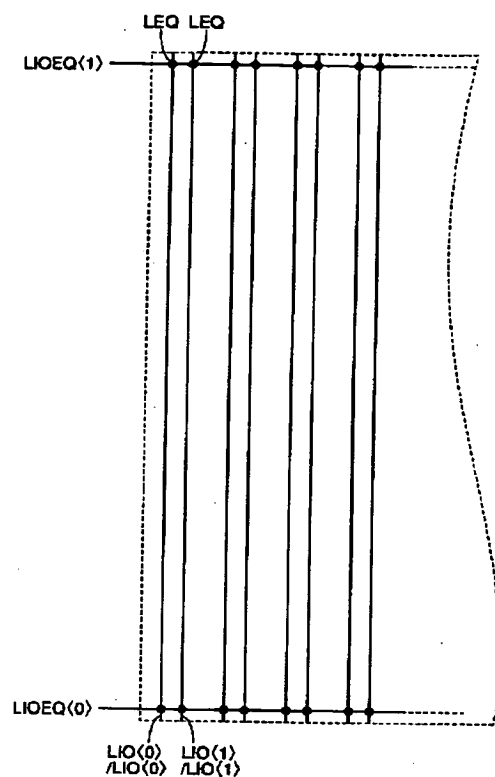
【図29】



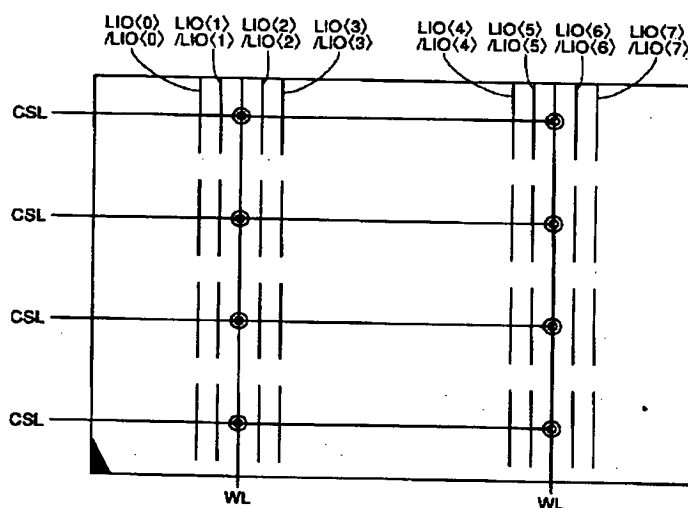
【図25】



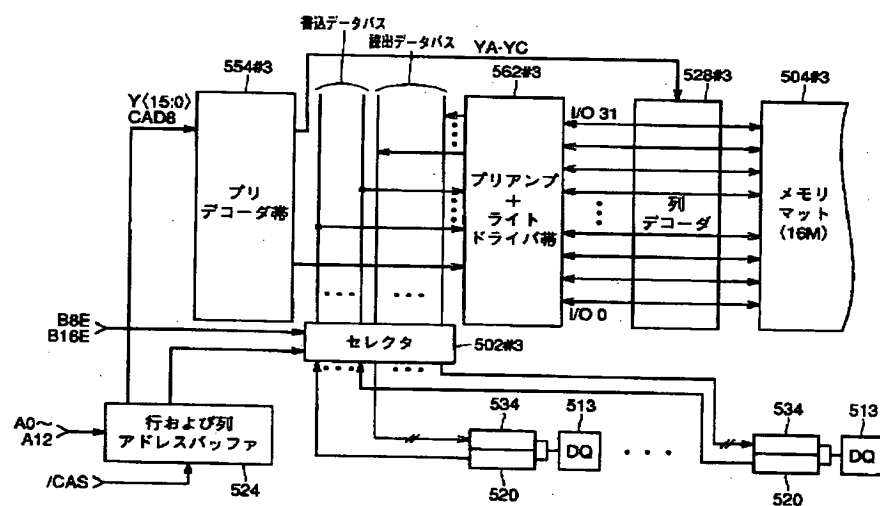
【図26】



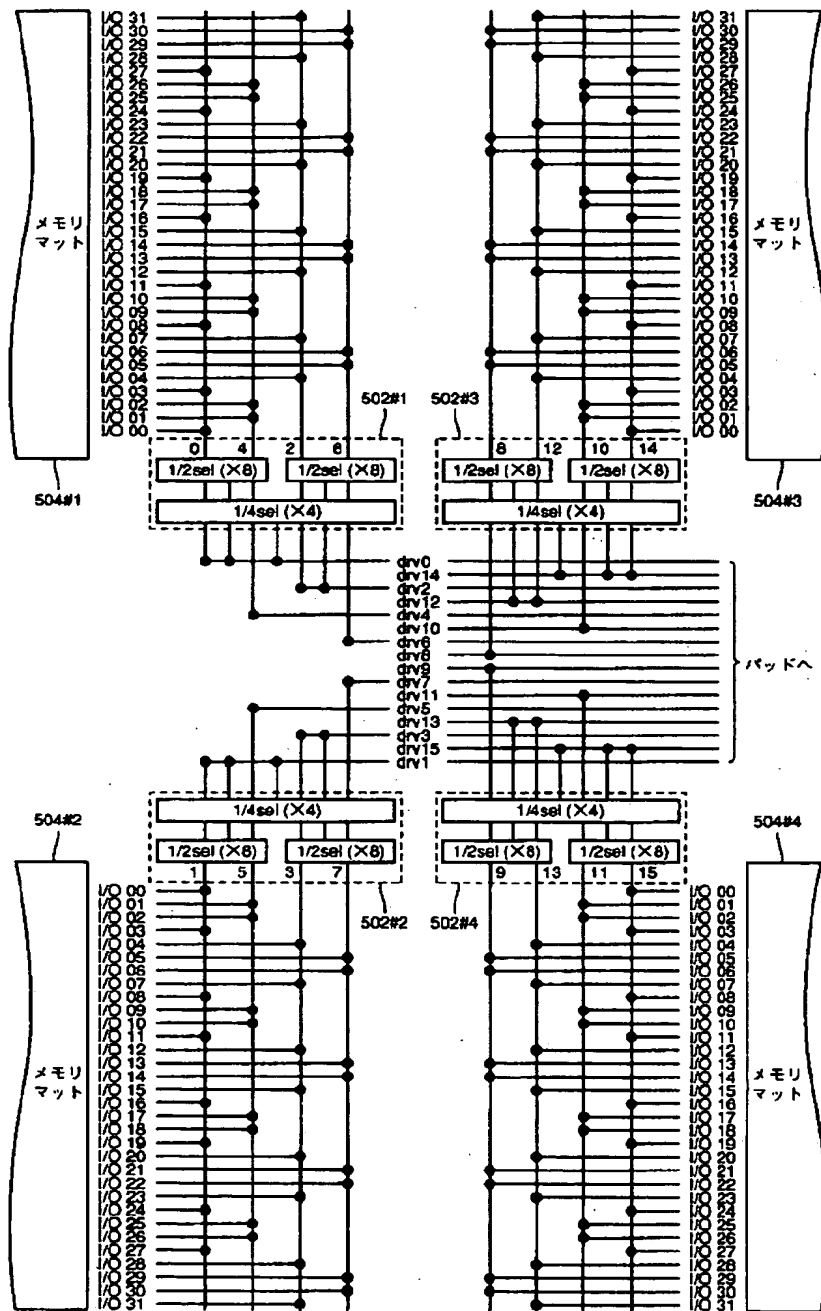
【図31】



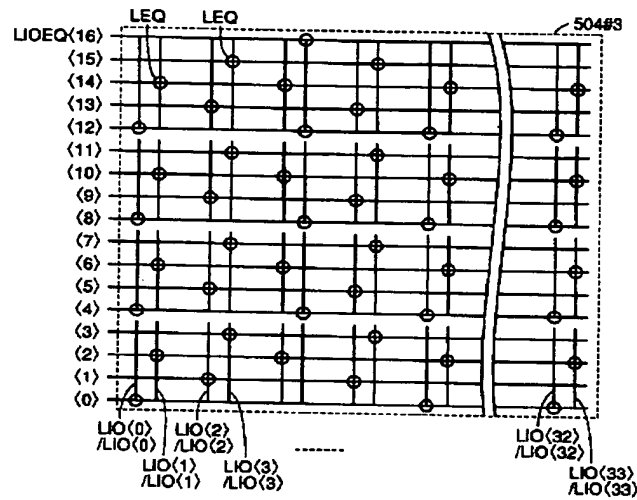
【図30】



【図28】



【図32】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターミナル (参考)

G 1 1 C 11/34

3 7 1 A

H 0 1 L 27/10

6 8 1 E

(72)発明者 朝倉 幹雄

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 伊藤 孝

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 5B024 AA07 BA07 BA29 CA07 CA16  
CA21 EA01 EA04  
5F083 AD00 GA09 LA07 LA09 ZA20  
5L106 AA01 DD04 DD12 GG07